

## CA-DV8706xF-Q1 集成宽共模电流感测放大器的车规级 H 桥智能栅极驱动器

### 1. 特性

- 符合面向汽车应用的 AEC-Q100 标准：
  - 温度等级 1:  $-40^{\circ}\text{C}$  至  $+125^{\circ}\text{C}$ ,  $T_A$
- 提供功能安全
  - 有助于进行功能安全系统设计的文档
- H 桥可调栅极驱动器
  - 5V 至 37V (绝对最大值 40V) 工作电压范围
  - 倍增电荷泵可实现 100% PWM
  - 半桥、H 桥控制及螺线管控制模式
- 可调栅极驱动架构
  - 可调压摆率控制
  - 0.5 mA 至 96 mA 峰值拉/灌电流输出
  - 集成死区时间握手
- 宽共模电流分流放大器
  - 支持高侧、低侧或负载侧电流采样
  - 可调增益设置 (10、20、40、80 V/V)
  - 集成反馈电阻
  - 可调 PWM 消隐方案
- 提供多个接口选项
  - SPI: 详细配置和诊断
  - H/W: 简化的控制和更少的 MCU 引脚
- 展频时钟可降低 EMI
- 集成保护特性
  - 专用驱动器禁用引脚 (DRVOFF)
  - 电源和稳压器电压监控器
  - MOSFET VDS 过流监控器
  - MOSFET VGS 栅极故障监控器
  - 用于反极性 MOSFET 的电荷泵
  - 离线负载开路和短路诊断 (SPI 配置)
  - 器件热警告和热关断
  - 故障条件中断引脚 (nFAULT)
- QFN 封装, 具有 wettable flank

### 2. 典型应用

- 汽车底盘驻车制动系统
- 电动天窗、车窗升降器和滑动门
- 电动座椅模块

- 电动后备箱和后备箱门
- BDC 燃油泵、水泵、机油泵
- 挡风玻璃雨刮器
- 螺线管和继电器

### 3. 概述

CA-DV8706xF-Q1 是一款高度集成式 H 桥栅极驱动器, 能够驱动高侧和低侧 N 沟道功率 MOSFET。它可使用集成式倍增电荷泵 (针对高侧) 和线性稳压器 (针对低侧) 生成合适的栅极驱动电压。

该器件通过使用可调栅极驱动架构来降低系统成本并提高可靠性。栅极驱动器可优化死区时间以避免出现击穿问题, 通过可调栅极驱动电流对电磁干扰 (EMI) 进行控制, 而且可通过 VDS 和 VGS 监控器来防止漏源极和栅极短路问题。

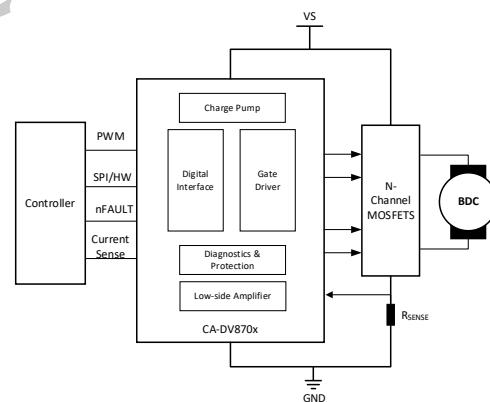
宽共模电流分流放大器可用于高侧、低侧或负载侧配置, 即使在循环期间也可持续测量电机电流。

CA-DV8706xF-Q1 提供了一系列保护功能, 可确保系统稳定运行。此类功能包括适用于电源和电荷泵的欠压和过压监控、适用于外部 MOSFET 的 VDS 过流和 VGS 栅极故障监控、离线开路负载和短路诊断, 以及内部热警告和热关断保护功能。

#### 器件信息

器件型号	封装	封装尺寸(标称值)
CA-DV8706xF-Q1	QFN32	5mm x 5 mm

#### 简化框图



#### 4. 订购信息

表 4-1. 订购信息

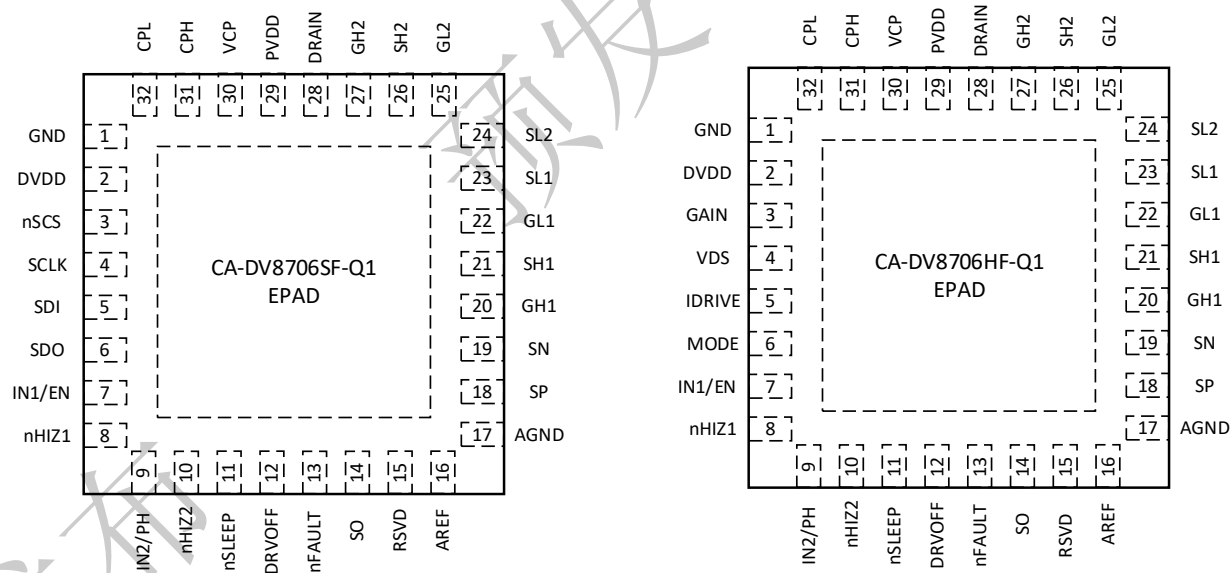
型号	电流采样	接口
CA-DV8706SF-Q1	高侧、低侧或负载侧	串行 (SPI)
CA-DV8706HF-Q1	高侧、低侧或负载侧	硬件 (H/W)

# 目录

1. 特性.....	1	9.3.4. 栅极驱动器.....	20
2. 典型应用.....	1	9.3.5. 倍增 (单级) 电荷泵.....	22
3. 概述.....	1	9.3.6. 宽共模差分电流分流放大器.....	23
4. 订购信息.....	2	9.3.7. 逻辑管脚.....	26
5. 修订历史.....	3	9.3.8. 保护和诊断.....	27
6. 引脚功能描述.....	4	9.4. 器件功能模式.....	32
7. 产品规格.....	5	9.4.1. 非运行或睡眠状态.....	32
7.1. 绝对最大额定值.....	5	9.4.2. 待机状态.....	32
7.2. ESD 额定值.....	6	9.4.3. 运行状态.....	32
7.3. 建议运行条件.....	6	9.5. 编程.....	32
7.4. 热参数.....	6	9.5.1. SPI 接口.....	32
7.5. 电气参数.....	7	9.5.2. SPI 格式.....	32
7.6. 时序要求.....	12	9.5.3. 用于连接多个从器件的 SPI 接口.....	33
7.7. 时序图.....	13	9.6. 寄存器映射.....	36
8. 参数测量.....	14	9.6.1. 状态寄存器.....	36
8.1. 典型特性图.....	14	9.6.2. 控制寄存器.....	39
9. 详细说明.....	16	10. 应用信息.....	51
9.1. 概述.....	16	10.1. 典型应用.....	51
9.2. 功能框图.....	16	11. 布局建议.....	51
9.3. 特性说明.....	17	12. 封装信息.....	53
9.3.1. 推荐外部元件.....	17	12.1. 32 引脚 QFN32 封装尺寸.....	53
9.3.2. 器件接口类型.....	18	13. 焊接信息.....	54
9.3.3. 控制信号输入模式.....	18	14. 卷带信息.....	55
		15. 重要声明.....	56

## 5. 修订历史

修订版本	修订内容	页码
Version 0.70	初始版本	N/A

**6. 引脚功能描述**

**图 6-1. CA-DV8706SF-Q1 和 CA-DV8706HF-Q1 引脚配置**
**表 6-1. CA-DV8706SF-Q1 和 CA-DV8706HF-Q1 引脚功能描述**

引脚编号	引脚名称		引脚类型	说明
	CA-DV8706HF-Q1	CA-DV8706SF-Q1		
1	GND		接地	器件接地。连接到系统接地端。
2	DVDD		电源	器件逻辑和数字输出电源输入。在 DVDD 与 GND 引脚之间连接一个 1.0 μF、6.3V 的陶瓷电容器。
3	—	nSCS	数字	串行芯片选择。此引脚上的逻辑低电平支持串行接口通信。内部上拉电阻。
	GAIN	—	模拟	放大器增益设置。由外部电阻设置的 4 电平输入引脚。
4	—	SCLK	数字	串行时钟输入。串行数据会移出并在此引脚上的相应上升沿和下降沿被捕捉。内部下拉电阻。
	VDS	—	模拟	VDS 监控阈值设置。由外部电阻设置的 6 电平输入引脚。
5	—	SDI	数字	串行数据输入。在 SCLK 引脚的下降沿捕捉数据。内部下拉电阻。
	IDRIVE	—	模拟	栅极驱动器输出电流设置。由外部电阻设置的 6 电平输入引脚。
6	—	SDO	数字	串行数据输出。在 SCLK 引脚的上升沿移出数据。推挽式输出。
	MODE	—	模拟	PWM 输入模式设置。由外部电阻设置的 4 电平输入引脚。
7	IN1/EN		数字	半桥控制输入。请查看 PWM 模式了解详细信息。内部下拉电阻。
8	nHIZ1		数字	半桥控制输入。请查看 PWM 模式了解详细信息。内部下拉电阻。
9	IN2/PH		数字	半桥控制输入。请查看 PWM 模式了解详细信息。内部下拉电阻。
10	nHIZ2		数字	半桥控制输入。请查看 PWM 模式了解详细信息。内部下拉电阻。
11	nSLEEP		数字	器件使能引脚。置为逻辑低电平可关断器件并进入睡眠模式。内部下拉电阻。
12	DRVOFF		数字	驱动器关断引脚。置为逻辑高电平可将高侧和低侧栅极驱动器输出拉低。内部下拉电阻。
13	nFAULT		数字	故障指示灯输出。此引脚被拉至逻辑低电平可指示故障情况。开漏输出。需要外部上拉电阻。
14	SO		模拟	分流放大器输出。
15	RSVD			保留。接地或保持断开。

16	AREF	电源	电流感测放大器的外部电压基准和电源。在 AREF 与 AGND 引脚之间连接一个 0.1 $\mu$ F、6.3V 的陶瓷电容器。
17	AGND	电源	器件接地。连接到系统接地端。
18	SP	模拟	分流放大器正输入。连接到分流电阻的正端子。
19	SN	模拟	分流放大器负输入。连接到分流电阻的负端子。
20	GH1	模拟	高侧栅极驱动器输出。连接到高侧功率 MOSFET 的栅极。
21	SH1	模拟	高侧源极感测输入。连接到高侧功率 MOSFET 源极。
22	GL1	模拟	低侧栅极驱动器输出。连接到低侧功率 MOSFET 的栅极。
23	SL1	模拟	低侧 MOSFET 栅极驱动感测和电源返回。通过指向低侧 MOSFET 接地回路的低阻抗路径连接到系统接地端。
24	SL2	模拟	低侧 MOSFET 栅极驱动感测和电源返回。通过指向低侧 MOSFET 接地回路的低阻抗路径连接到系统接地端。
25	GL2	模拟	低侧栅极驱动器输出。连接到低侧功率 MOSFET 的栅极。
26	SH2	模拟	高侧源极感测输入。连接到高侧功率 MOSFET 源极。
27	GH2	模拟	高侧栅极驱动器输出。连接到高侧功率 MOSFET 的栅极。
28	DRAIN	模拟	桥式 MOSFET 漏极电压感测引脚。连接到高侧 MOSFET 漏极的公共点。
29	PVDD	电源	器件驱动器电源输入。连接到电桥电源。在 PVDD 和 GND 引脚之间连接一个 0.1 $\mu$ F、PVDD 额定的陶瓷电容器和大于或等于 10 $\mu$ F 的局部大容量电容。
30	VCP	电源	电荷泵输出。在 VCP 与 PVDD 引脚之间连接一个 1 $\mu$ F、16V 的陶瓷电容器。
31	CPH	电源	电荷泵开关节点。在 CPH 与 CPL 引脚之间连接一个 100 nF、PVDD 额定的陶瓷电容器。
32	CPL	电源	电荷泵开关节点。在 CPH 与 CPL 引脚之间连接一个 100 nF PVDD 额定的陶瓷电容器。
	EPAD		散热焊盘，推荐接地

## 7. 产品规格

### 7.1. 绝对最大额定值

所有测试在自然通风条件下完成（除非另有说明）<sup>(1)</sup>。

参数	Symbol	最小值	最大值	单位
驱动器电源引脚电压	PVDD	-0.3	40	V
MOSFET 漏极感测引脚电压	DRAIN	-0.3	40	V
接地引脚之间的电压差	AGND、GND	-0.3	0.3	V
电荷泵引脚电压	VCP	-0.3	55	V
电荷泵高侧引脚电压	CPH	$V_{PVDD} - 0.3$	$V_{VCP} + 0.3$	V
电荷泵低侧引脚电压	CPL	-0.3	$V_{PVDD} + 0.3$	V
数字电源引脚电压	DVDD	-0.3	5.75	V
逻辑引脚电压	DRVOFF、GAIN、IDRIVE、IN1/EN、IN2/PH、MODE、nHIZx、nSLEEP、nFAULT、nSCS、SCLK、SDI、VDS	-0.3	5.75	V
输出逻辑引脚电压（CA-DV8706SF-Q1）	SDO	-0.3	$V_{DVDD} + 0.3$	V
高侧栅极驱动引脚电压		-2	$V_{VCP} + 0.3$	V
高侧栅极驱动引脚 1 $\mu$ s 瞬态电压	GHx <sup>(2)</sup>	-5	$V_{VCP} + 0.3$	
与 SHx 相关的高侧栅极驱动引脚电压		-0.3	13.5	
高侧感测引脚电压		-2	40	V
高侧感测引脚 1 $\mu$ s 瞬态电压	SHx <sup>(2)</sup>	-5	40	
低侧栅极驱动引脚电压		-2	13.5	V
低侧栅极驱动引脚 1 $\mu$ s 瞬态电压	GLx <sup>(2)</sup>	-3	13.5	
与 SLx 相关的低侧栅极驱动引脚电压		-0.3	13.5	
低侧感测引脚电压	SLx <sup>(2)</sup>	-2	2	V

**CA-DV8706xF-Q1**

Version 0.74, 2025/4/17

上海川土微电子有限公司

低侧感测引脚 1 $\mu$ s 瞬态电压		-3	3	
峰值栅极驱动电流	GHx, GLx	受内部限制	受内部限制	mA
放大器电源和基准引脚电压	AREF	-0.3	5.75	V
放大器输入引脚电压	SN, SP	-2	$V_{VCP} + 0.3$	V
放大器输入引脚 1 $\mu$ s 瞬态电压		-5	$V_{VCP} + 0.3$	
放大器输入差分电压	SN, SP	-5.75	5.75	V
放大器输出引脚电压	SO	-0.3	$V_{AREF} + 0.3$	V
环境温度( $T_A$ )	$T_A$	-40	125	$^{\circ}$ C
结温( $T_J$ )	$T_J$	-40	150	$^{\circ}$ C
存储温度( $T_{STG}$ )	$T_{STG}$	-55	150	$^{\circ}$ C

备注:

(1) 等于或超出上述绝对最大额定值可能会导致产品永久性损坏。这只是额定最值, 并不能以这些条件或者在任何其它超出本技术规范操作章节中所示规格的条件下, 推断产品能否正常工作。长期在超出最大额定值条件下工作会影响产品的可靠性。

(2) 与 GHx、SHx、GLx 或 SLx 相关的 PVDD 和 DRAIN 不应超过 40V。当 PVDD 或 DRAIN 大于 35V 时, 应限制 GHx、SHx、GLx 和 SLx 上的负电压, 以确保不超过此额定值。当 PVDD 和 DRAIN 低于 35V 时, 可使用 GHx、SHx、GLx 和 SLx 的完整负电压额定值。

**7.2. ESD 额定值**

		数值	单位
$V_{ESD}$ 静电放电	人体模型 (HBM), 根据 AEC-Q100 分类等级 H2 <sup>1</sup>	所有引脚	$\pm 2000$
	组件充电模式(CDM), 根据 AEC-Q100-011C <sup>2</sup>	所有引脚	$\pm 2000$

备注:

- 人体模型是一个 100pF 电容通过一个 1.5K $\Omega$  电阻向每个引脚放电。
- CDM 依据 AEC-Q100-011C。

**7.3. 建议运行条件**

所有测试在自然通风条件下完成在工作, 除非另有说明。

参数		最小值	最大值	单位	
VPVDD	驱动器电源电压	PVDD	5	37	V
$I_{HS}$	高侧平均栅极驱动电流	GHx	0	15	mA
$I_{LS}$	低侧平均栅极驱动电流	GLx	0	15	mA
VDVDD	数字电源电压	DVDD	3	5.5	V
VDIN	数字输入电压 CA-DV8706SF-Q1	DRVOFF, IN1/EN, IN2/PH, nSLEEP, nHIZx, nSCS, SCLK, SDI	0	5.5	V
VDIN	数字输入电压 CA-DV8706HF-Q1	DRVOFF, IN1/EN, IN2/PH, nHIZx, nSLEEP	0	5.5	V
IDOUT	数字输出电流 (CA-DV8706SF-Q1)	SDO	0	5	mA
VOD	开漏上拉电压	nFAULT	0	5.5	V
IOD	开漏输出电流	nFAULT	0	5	mA
VAREF	放大器基准电源电压	AREF	3	5.5	V
ISO	分流放大器输出电流	SO	0	5	mA
$T_J$	结温		-40	150	$^{\circ}$ C
$T_A$	环境温度		-40	125	$^{\circ}$ C

**7.4. 热参数**

热量表		QFN32	单位
$R_{\theta JA}$	IC 结至环境的热阻	34	$^{\circ}$ C/W
$R_{\theta JC(top)}$	IC 结至芯片上面壳体的热阻	10	$^{\circ}$ C/W
$R_{\theta JB}$	IC 结至 PCB 板的热阻	13	$^{\circ}$ C/W



## 7.5. 电气参数

 5V ≤ V<sub>PVDD</sub> ≤ 37V, -40°C ≤ T<sub>J</sub> ≤ 150°C (除非另有说明)。V<sub>PVDD</sub> = 13.5V 且 T<sub>J</sub> = 25°C 时, 适用典型限值。

参数	测试条件	最小值	典型值	最大值	单位		
<b>供电特型 (PVDD、DRAIN、DVDD、VCP)</b>							
I <sub>PVDDQ</sub>	PVDD 睡眠模式电流	V <sub>PVDD</sub> , V <sub>DRAIN</sub> = 13.5V, nSLEEP = 0V, -40 ≤ T <sub>J</sub> ≤ 85°C		1	3.6	μA	
I <sub>DRAINQ</sub>	DRAIN 睡眠模式电流	V <sub>PVDD</sub> , V <sub>DRAIN</sub> = 13.5V, nSLEEP = 0V, -40 ≤ T <sub>J</sub> ≤ 85°C		0.2	1	μA	
I <sub>DVDDQ</sub>	DVDD 睡眠模式电流	V <sub>PVDD</sub> , V <sub>DRAIN</sub> = 13.5V, nSLEEP = 0V, -40 ≤ T <sub>J</sub> ≤ 85°C		2	3.5	μA	
I <sub>AREFQ</sub>	AREF 睡眠模式电流	V <sub>PVDD</sub> , V <sub>DRAIN</sub> = 13.5V, V <sub>AREF</sub> = 5V, nSLEEP = 0V		4	6	μA	
I <sub>PVDD</sub>	PVDD 运行模式电流	V <sub>PVDD</sub> , V <sub>DRAIN</sub> = 13.5V, nSLEEP = 5V		5.4	7.5	mA	
I <sub>DRAIN</sub>	DRAIN 运行模式电流	V <sub>PVDD</sub> , V <sub>DRAIN</sub> = 13.5V, nSLEEP = 5V, V <sub>DS_LVL</sub> ≤ 500mV		150	200	μA	
I <sub>DVDD</sub>	DVDD 运行模式电流	V <sub>DVDD</sub> = 5V, SDO = 0V		5.7	6.6	mA	
f <sub>DVDD</sub>	数字振荡器开关频率	展频的主频率		14.25		MHz	
t <sub>WAKE</sub>	开通时间	nSLEEP = 5V 进入运行模式			1	ms	
t <sub>SLEEP</sub>	关断时间	nSLEEP = 0V 进入睡眠模式			1	ms	
V <sub>VCP</sub>	相对于 PVDD 的电荷泵稳压器电压	V <sub>PVDD</sub> ≥ 13V, I <sub>VCP</sub> ≤ 15mA		9.5	10.5	12	V
		V <sub>PVDD</sub> = 11V, I <sub>VCP</sub> ≤ 10mA		8.4	10	11	
		V <sub>PVDD</sub> = 9V, I <sub>VCP</sub> ≤ 8.5mA		7	8	9	
		V <sub>PVDD</sub> = 7V, I <sub>VCP</sub> ≤ 5.5mA		5.5	6	7	
		V <sub>PVDD</sub> = 5.5V, I <sub>VCP</sub> ≤ 3mA		4.5	5	5.5	
f <sub>VCP</sub>	电荷泵开关频率	展频的主频率		400		kHz	
<b>逻辑电平输入 (DRVOFF, IN1/EN, IN2/PH, nHIZx, nSLEEP, nSCS, SCLK, SDI)</b>							
V <sub>IL</sub>	输入逻辑低电压	DRVOFF, IN1/EN, IN2/PH, nHIZx, nSLEEP, SCLK, SDI		0	V <sub>DVDD</sub> × 0.3	V	
V <sub>IH</sub>	输入逻辑高电压	DRVOFF, IN1/EN, IN2/PH, nHIZx, nSLEEP, SCLK, SDI		V <sub>DVDD</sub> × 0.7	5.5	V	
V <sub>HYS</sub>	输入迟滞			V <sub>DVDD</sub> × 0.1		V	
I <sub>IL</sub>	输入逻辑低电流	V <sub>DIN</sub> = 0V, DRVOFF, IN1/EN, IN2/PH, nHIZx, nSLEEP, SCLK, SDI		-5	5	μA	
		V <sub>DIN</sub> = 0V, nSCS		50	100		
I <sub>IH</sub>	输入逻辑大电流	V <sub>DIN</sub> = 5V, DRVOFF, IN1/EN, IN2/PH, nHIZx, nSLEEP, SCLK, SDI		50	100	μA	
		V <sub>DIN</sub> = 5V, V <sub>DVDD</sub> = 5V, nSCS		-5	5		
R <sub>PD</sub>	输入下拉电阻	至 GND, DRVOFF, IN1/EN, IN2/PH, nHIZx, nSLEEP, SCLK, SDI		50	100	150	kΩ
R <sub>PU</sub>	输入上拉电阻	至 DVDD, nSCS		50	100	150	kΩ
<b>多电平输入 (GAIN, IDRIVE, MODE, VDS)</b>							
V <sub>Q1</sub>	四电平输入 1	GAIN, MODE 电压连接至所设置的电平 1		0	V <sub>DVDD</sub> × 0.1	V	
R <sub>Q2</sub>	四电平输入 2	GAIN, MODE 接地电阻连接至所设置的电平 2		44.65	47	49.35	kΩ
R <sub>Q3</sub>	四电平输入 3	GAIN, MODE 接地电阻连接至所设置的电平 3		500	高阻态		kΩ
V <sub>Q4</sub>	四电平输入 4	GAIN, MODE 电压连接至所设置的电平 4		V <sub>DVDD</sub> × 0.9	5.5	V	
R <sub>QPD</sub>	四电平下拉电阻	GAIN, MODE, 接地		98			kΩ
R <sub>QPU</sub>	四电平上拉电阻	GAIN, MODE, 至 DVDD		98			kΩ
V <sub>SI1</sub>	六电平输入 1	IDRIVE, VDS 电压连接至所设置的电平 1		0	V <sub>DVDD</sub> × 0.1	V	
R <sub>SI2</sub>	六电平输入 2	IDRIVE, VDS 接地电阻连接至所设置的电平 2		28.5	30	31.5	kΩ
R <sub>SI3</sub>	六电平输入 3	IDRIVE, VDS 接地电阻连接至所设置的电平 3		95	100	105	kΩ
R <sub>SI4</sub>	六电平输入 4	IDRIVE, VDS 接地电阻连接至所设置的电平 4		500	高阻态		kΩ
R <sub>SI5</sub>	六电平输入 5	IDRIVE, VDS		58.9	62	65.1	kΩ

		DVDD 电阻连接至所设置的电平 5			
R <sub>SI6</sub>	六电平输入 6	IDRIVE, VDS 电压连接至所设置的电平 6	V <sub>DVDD</sub> x0.9	5.5	V
R <sub>SPD</sub>	六电平下拉电阻	IDRIVE, VDS, 接地	98		kΩ
R <sub>SPU</sub>	六电平上拉电阻	IDRIVE, VDS, 至 DVDD	69		kΩ
<b>逻辑电平输出 (nFAULT, SDO)</b>					
V <sub>OL</sub>	输出逻辑低电压	I <sub>DOUT</sub> = 5mA		0.5	V
V <sub>OH</sub>	输出逻辑高电压	I <sub>DOUT</sub> = -5mA, SDO	V <sub>DVDD</sub> ×0.8		V
I <sub>ODZ</sub>	开漏逻辑大电流	V <sub>OD</sub> = 5V, nFAULT	-10	10	μA
<b>栅极驱动器 (GHx, GLx)</b>					
V <sub>GHx_L</sub>	GHx 低电平输出电压	IDRVN_HS = ISTRONG, I <sub>GHx</sub> = 1mA, GHx 至 SHx	0	0.25	V
V <sub>GLx_L</sub>	GLx 低电平输出电压	IDRVN_LS = ISTRONG, I <sub>GLx</sub> = 1mA, GLx 至 SLx	0	0.25	V
V <sub>GHx_H</sub>	GHx 高电平输出电压	IDRVP_HS = I <sub>HOLD</sub> , I <sub>GHx</sub> = 0.15mA, VCP 至 GHx	0	0.25	V
V <sub>GLx_H</sub>	GLx 高电平输出电压	I <sub>DRVP_LS</sub> = I <sub>HOLD</sub> , I <sub>GLx</sub> = 1mA, 10.5V ≤ V <sub>PVDD</sub> ≤ 37V, GLx 至 SLx	10.25	11	13
		I <sub>DRVP_LS</sub> = I <sub>HOLD</sub> , I <sub>GLx</sub> = 0.15mA, 4.9V ≤ V <sub>PVDD</sub> ≤ 10.5V, GLx 至 SLx	V <sub>PVDD</sub> -0.25	V <sub>PVDD</sub>	V <sub>PVDD</sub>
I <sub>DRVP, SPI</sub>	峰值栅极电流 (拉电流) CA-DV8706SF-Q1	IDRVP = 00000b, V <sub>GSx</sub> = 3V, V <sub>PVDD</sub> ≥ 7V	0.275	0.5	0.825
		IDRVP = 00001b, V <sub>GSx</sub> = 3V, V <sub>PVDD</sub> ≥ 7V	0.66	1.1	1.54
		IDRVP = 00010b, V <sub>GSx</sub> = 3V, V <sub>PVDD</sub> ≥ 7V	1.47	2.1	2.73
		IDRVP = 00011b, V <sub>GSx</sub> = 3V, V <sub>PVDD</sub> ≥ 7V	2.31	3.3	4.29
		IDRVP = 00100b, V <sub>GSx</sub> = 3V, V <sub>PVDD</sub> ≥ 7V	3.01	4.3	5.59
		IDRVP = 00101b, V <sub>GSx</sub> = 3V, V <sub>PVDD</sub> ≥ 7V	4.55	6.5	8.45
		IDRVP = 00110b, V <sub>GSx</sub> = 3V, V <sub>PVDD</sub> ≥ 7V	6.02	8.6	11.18
		IDRVP = 00111b, V <sub>GSx</sub> = 3V, V <sub>PVDD</sub> ≥ 7V	9.8	14	18.2
		IDRVP = 01000b, V <sub>GSx</sub> = 3V, V <sub>PVDD</sub> ≥ 7V	11.2	16	20.8
		IDRVP = 01001b, V <sub>GSx</sub> = 3V, V <sub>PVDD</sub> ≥ 7V	14.7	21	27.3
		IDRVP = 01010b, V <sub>GSx</sub> = 3V, V <sub>PVDD</sub> ≥ 7V	17.5	25	32.5
		IDRVP = 01011b, V <sub>GSx</sub> = 3V, V <sub>PVDD</sub> ≥ 7V	19.6	28	36.4
		IDRVP = 01100b, V <sub>GSx</sub> = 3V, V <sub>PVDD</sub> ≥ 7V	25.6	32	38.4
		IDRVP = 01101b, V <sub>GSx</sub> = 3V, V <sub>PVDD</sub> ≥ 7V	32.8	41	49.2
		IDRVP = 01110b, V <sub>GSx</sub> = 3V, V <sub>PVDD</sub> ≥ 7V	36.8	46	55.2
		IDRVP = 01111b, V <sub>GSx</sub> = 3V, V <sub>PVDD</sub> ≥ 7V	51.2	64	76.8
		IDRVP = 10000b, V <sub>GSx</sub> = 3V, V <sub>PVDD</sub> ≥ 7V	0.96	1.6	2.24
		IDRVP = 10001b, V <sub>GSx</sub> = 3V, V <sub>PVDD</sub> ≥ 7V	3.85	5.5	7.15
		IDRVP = 10010b, V <sub>GSx</sub> = 3V, V <sub>PVDD</sub> ≥ 7V	5.32	7.6	9.88
		IDRVP = 10011b, V <sub>GSx</sub> = 3V, V <sub>PVDD</sub> ≥ 7V	6.79	9.7	12.61
IDRVP = 10100b, V <sub>GSx</sub> = 3V, V <sub>PVDD</sub> ≥ 7V	8.4	12	15.6		
IDRVP = 10101b, V <sub>GSx</sub> = 3V, V <sub>PVDD</sub> ≥ 7V	12.6	18	23.4		
IDRVP = 10110b, V <sub>GSx</sub> = 3V, V <sub>PVDD</sub> ≥ 7V	28.8	36	43.2		
IDRVP = 10111b, V <sub>GSx</sub> = 3V, V <sub>PVDD</sub> ≥ 7V	41.6	52	62.4		
IDRVP = 11000b, V <sub>GSx</sub> = 3V, V <sub>PVDD</sub> ≥ 7V	45.6	57	68.4		
IDRVP = 11xxx1b, V <sub>GSx</sub> = 3V, V <sub>PVDD</sub> ≥ 7V	57.6	96	134.4		
I <sub>DRVP, H/W</sub>	峰值栅极电流 (拉电流) CA-DV8706HF-Q1	IDRIVE 电平 1, V <sub>GSx</sub> = 3V, V <sub>PVDD</sub> ≥ 7V	0.66	1.1	1.54
		IDRIVE 电平 2, V <sub>GSx</sub> = 3V, V <sub>PVDD</sub> ≥ 7V	4.55	6.5	8.45
		IDRIVE 电平 3, V <sub>GSx</sub> = 3V, V <sub>PVDD</sub> ≥ 7V	11.2	16	20.8
		IDRIVE 电平 4, V <sub>GSx</sub> = 3V, V <sub>PVDD</sub> ≥ 7V	28.8	36	43.2
		IDRIVE 电平 5, V <sub>GSx</sub> = 3V, V <sub>PVDD</sub> ≥ 7V	57.6	96	134.4
		IDRIVE 电平 6, V <sub>GSx</sub> = 3V, V <sub>PVDD</sub> ≥ 7V	74.4	124	173.6
I <sub>DRVN, SPI</sub>	峰值栅极电流 (灌电流) CA-DV8706SF-Q1	IDRVN = 00000b, V <sub>GSx</sub> = 3V, V <sub>PVDD</sub> ≥ 7V	0.275	0.55	0.825
		IDRVN = 00001b, V <sub>GSx</sub> = 3V, V <sub>PVDD</sub> ≥ 7V	0.66	1.1	1.54
		IDRVN = 00010b, V <sub>GSx</sub> = 3V, V <sub>PVDD</sub> ≥ 7V	1.47	2.1	2.73
		IDRVN = 00011b, V <sub>GSx</sub> = 3V, V <sub>PVDD</sub> ≥ 7V	2.31	3.3	4.29
		IDRVN = 00100b, V <sub>GSx</sub> = 3V, V <sub>PVDD</sub> ≥ 7V	3.01	4.3	5.59
		IDRVN = 00101b, V <sub>GSx</sub> = 3V, V <sub>PVDD</sub> ≥ 7V	4.55	6.5	8.45



	IDRVN = 00110b, $V_{GSx} = 3V, V_{PVDD} \geq 7V$	6.02	8.6	11.18		
	IDRVN = 00111b, $V_{GSx} = 3V, V_{PVDD} \geq 7V$	9.8	14	18.2		
	IDRVN = 01000b, $V_{GSx} = 3V, V_{PVDD} \geq 7V$	11.2	16	20.8		
	IDRVN = 01001b, $V_{GSx} = 3V, V_{PVDD} \geq 7V$	14.7	21	27.3		
	IDRVN = 01010b, $V_{GSx} = 3V, V_{PVDD} \geq 7V$	17.5	25	32.5		
	IDRVN = 01011b, $V_{GSx} = 3V, V_{PVDD} \geq 7V$	19.6	28	36.4		
	IDRVN = 01100b, $V_{GSx} = 3V, V_{PVDD} \geq 7V$	25.6	32	38.4		
	IDRVN = 01101b, $V_{GSx} = 3V, V_{PVDD} \geq 7V$	32.8	41	49.2		
	IDRVN = 01110b, $V_{GSx} = 3V, V_{PVDD} \geq 7V$	36.8	46	55.2		
	IDRVN = 01111b, $V_{GSx} = 3V, V_{PVDD} \geq 7V$	51.2	64	76.8		
	IDRVN = 10000b, $V_{GSx} = 3V, V_{PVDD} \geq 7V$	0.96	1.6	2.24		
	IDRVN = 10001b, $V_{GSx} = 3V, V_{PVDD} \geq 7V$	3.85	5.5	7.15		
	IDRVN = 10010b, $V_{GSx} = 3V, V_{PVDD} \geq 7V$	5.32	7.6	9.88		
	IDRVN = 10011b, $V_{GSx} = 3V, V_{PVDD} \geq 7V$	6.79	9.7	12.61		
	IDRVN = 10100b, $V_{GSx} = 3V, V_{PVDD} \geq 7V$	8.4	12	15.6		
	IDRVN = 10101b, $V_{GSx} = 3V, V_{PVDD} \geq 7V$	12.6	18	23.4		
	IDRVN = 10110b, $V_{GSx} = 3V, V_{PVDD} \geq 7V$	28.8	36	43.2		
	IDRVN = 10111b, $V_{GSx} = 3V, V_{PVDD} \geq 7V$	41.6	52	62.4		
	IDRVN = 11000b, $V_{GSx} = 3V, V_{PVDD} \geq 7V$	45.6	57	68.4		
	IDRVN = 11xx1b, $V_{GSx} = 3V, V_{PVDD} \geq 7V$	57.6	96	134.4		
$I_{DRVN,H/W}$	峰值栅极电流 (灌电流) CA-DV8706HF-Q1	IDRIVE 电平 1, $V_{GSx} = 3V, V_{PVDD} \geq 7V$	0.66	1.1	1.54	mA
	IDRIVE 电平 2, $V_{GSx} = 3V, V_{PVDD} \geq 7V$	4.55	6.5	8.45		
	IDRIVE 电平 3, $V_{GSx} = 3V, V_{PVDD} \geq 7V$	11.2	16	20.8		
	IDRIVE 电平 4, $V_{GSx} = 3V, V_{PVDD} \geq 7V$	28.8	36	43.2		
	IDRIVE 电平 5, $V_{GSx} = 3V, V_{PVDD} \geq 7V$	57.6	96	134.4		
	IDRIVE 电平 6, $V_{GSx} = 3V, V_{PVDD} \geq 7V$	74.4	124	173.6		
$I_{HOLD}$	栅极上拉保持电流	IHOLD = 00b, $V_{GSx} = 3V, V_{PVDD} \geq 7V$	3	16	30	mA
$I_{STRONG}$	栅极强下拉电流	$V_{GSx} = 3V, V_{PVDD} \geq 7V,$ $0.5 \leq I_{DRVP} \leq 12mA$	25	62	100	mA
		$V_{GSx} = 3V, V_{PVDD} \geq 7V,$ $16 \leq I_{DRVP} \leq 62mA$	45	128	205	mA
		$V_{GSx} = 3V, V_{PVDD} \geq 7V,$ $62 \leq I_{DRVP} \leq 127mA$	90	255	400	mA
$R_{PDSA\_LS}$	低侧半有源下拉电阻	GLx 至 SLx, $V_{GSx} = 3V$		1.8		k $\Omega$
		GLx 至 SLx, $V_{GSx} = 1V$		5		k $\Omega$
$R_{PD\_HS}$	高侧无源下拉电阻	GHx 至 SHx		150		k $\Omega$
$R_{PD\_LS}$	低侧无源下拉电阻	GLx 至 SLx		150		k $\Omega$
$I_{SHx}$	开关节点感测漏电流	进入 SHx, SHx = DRAIN $\leq 37V$ GHx - SHx = 0V, nSLEEP = 0V	-5	0	25	$\mu A$
		进入 SHx, SHx = DRAIN $\leq 37V$ GHx - SHx = 0V, nSLEEP = 5V	-150	-100	-20	$\mu A$
<b>栅极驱动器时序 (GHx, GLx)</b>						
$t_{PDR\_LS}$	低侧上升传播延迟	输入至 GLx 上升		300	850	ns
$t_{PDF\_LS}$	低侧下降传播延迟	输入至 GLx 下降		300	600	ns
$t_{PDR\_HS}$	高侧上升传播延迟	输入至 GHx 上升		300	600	ns
$t_{PDF\_HS}$	高侧下降传播延迟	输入至 GHx 下降		300	600	ns
$t_{DEAD}$	内部握手死区时间	$V_{GSx\_L}/V_{GSx\_H}$ 下降 10% 至 $V_{GSx\_H}/V_{GSx\_L}$ 上升 10%		560		ns
$t_{DEAD\_D\_SPI}$	可插入的数字死区时间	VGS_TDEAD = 000b, 仅握手		0		ns
		VGS_TDEAD = 001b	150	250	350	
		VGS_TDEAD = 010b	350	450	550	
		VGS_TDEAD = 011b	550	700	850	
		VGS_TDEAD = 100b	800	1000	1200	
		VGS_TDEAD = 101b	1600	2000	2400	
		VGS_TDEAD = 110b	3400	4000	4600	
		VGS_TDEAD = 111b	7200	8000	8800	

$t_{DEAD\_D, H/W}$	可插入的数字死区时间H/W 器件	仅握手	0		ns	
<b>电流分流放大器 (AREF, SN, SO, SP)</b>						
$V_{COM}$	共模输入范围		-2	$V_{PVDD} + 2$	V	
$G_{CSA, SPI}$	感测放大器增益	CSA_GAIN = 00b	9.9	10	10.1	V/V
		CSA_GAIN = 01b	19.8	20	20.2	
		CSA_GAIN = 10b	39.6	40	40.4	
		CSA_GAIN = 11b	79.2	80	80.8	
		GAIN 四电平 1 (CA-DV8706HF-Q1)	9.75	10	10.25	
		GAIN 四电平 2 (CA-DV8706HF-Q1)	19.5	20	20.5	
		GAIN 四电平 3 (CA-DV8706HF-Q1)	39	40	41	
		GAIN 四电平 4 (CA-DV8706HF-Q1)	78	80	82	
$t_{SET}$	感测放大器稳定时间至 $\pm 1\%$	$V_{SO\_STEP} = 1.5V, G_{CSA} = 10V/V, C_{SO} = 60pF$			2.2	$\mu s$
		$V_{SO\_STEP} = 1.5V, G_{CSA} = 20V/V, C_{SO} = 60pF$			2.2	
		$V_{SO\_STEP} = 1.5V, G_{CSA} = 40V/V, C_{SO} = 60pF$			2.2	
		$V_{SO\_STEP} = 1.5V, G_{CSA} = 80V/V, C_{SO} = 60pF$			3	
$t_{BLK, SPI}$	感测放大器输出消隐时间 SPI 器件	CSA_BLK = 000b, $t_{DRIVE}$ 周期的百分比			0	%
		CSA_BLK = 001b, $t_{DRIVE}$ 周期的百分比			25	
		CSA_BLK = 010b, $t_{DRIVE}$ 周期的百分比			37.5	
		CSA_BLK = 011b, $t_{DRIVE}$ 周期的百分比			50	
		CSA_BLK = 100b, $t_{DRIVE}$ 周期的百分比			62.5	
		CSA_BLK = 101b, $t_{DRIVE}$ 周期的百分比			75	
		CSA_BLK = 110b, $t_{DRIVE}$ 周期的百分比			87.5	
		CSA_BLK = 111b, $t_{DRIVE}$ 周期的百分比			100	
$t_{BLK, H/W}$	感测放大器输出消隐时间 H/W 器件		0		ns	
$t_{SLEW}$	输出压摆率	$C_{SO} = 60pF$			2.5	V/ $\mu s$
$V_{BIAS, SPI}$	输出电压偏置 SPI 器件	$V_{SPX} = V_{SNX} = 0V, CSA\_DIV = 0b$			$V_{AREF} / 2$	V
		$V_{SPX} = V_{SNX} = 0V, CSA\_DIV = 1b$			$V_{AREF} / 8$	
$V_{BIAS, H/W}$	输出电压偏置 H/W 器件				$V_{AREF} / 2$	V
$V_{LINEAR}$	线性输出电压范围	$V_{AREF} = 3.3V = 5V$	0.25		$V_{AREF} - 0.25$	V
$V_{OFF}$	输入失调电压	$V_{SPX} = V_{SNX} = 0V, T_J = 25^\circ C$	-1.5		1.5	mV
$V_{OFF\_D}$	输入失调电压漂移	$V_{SPX} = V_{SNX} = 0V$			$\pm 10$ $\pm 25$	$\mu V/^\circ C$
$I_{BIAS}$	输入偏置电流	$V_{SPX} = V_{SNX} = 0V$ , 进入引脚			100	$\mu A$
$I_{BIAS\_OFF}$	输入偏置电流失调	$I_{SPX} - I_{SNX}$	-1		1	$\mu A$
$I_{AREF}$	AREF 输入电流	$V_{VREF} = 3.3V = 5V$			1 1.8	mA
CMRR	共模抑制比	直流, $-40 \leq T_J \leq 125^\circ C$	72		90	dB
		直流, $-40 \leq T_J \leq 150^\circ C$	69		90	
		25kHz			75	
PSRR	电源抑制比	PVDD 至 SOx, 直流			100	dB
		PVDD 至 SOx, 20kHz			85	
		PVDD 至 SOx, 400kHz			65	
<b>保护电路</b>						
$V_{PVDD\_UV}$	PVDD 欠压阈值	$V_{PVDD}$ 上升	4.325	4.625	4.9	V
		$V_{PVDD}$ 下降	4.25	4.525	4.8	
$V_{PVDD\_UV\_HYS}$	PVDD 欠压迟滞	上升至下降阈值			100	mV
$t_{PVDD\_UV\_DG}$	PVDD 欠压抗尖峰脉冲时间		8	10	12.75	$\mu s$
$V_{PVDD\_OV}$	PVDD 过压阈值	$V_{PVDD}$ 上升, $PVDD\_OV\_LVL = 0b$	21	22.5	24	V
		$V_{PVDD}$ 下降, $PVDD\_OV\_LVL = 0b$	20	21.5	23	
		$V_{PVDD}$ 上升, $PVDD\_OV\_LVL = 1b$	27	28.5	30	
		$V_{PVDD}$ 下降, $PVDD\_OV\_LVL = 1b$	26	27.5	29	
$V_{PVDD\_OV\_HYS}$	PVDD 过压迟滞	上升至下降阈值			1	V

t <sub>PVDD_OV_DG</sub>	PVDD 过压抗尖峰脉冲时间	PVDD_OV_DG = 00b	0.5	1	1.5	μs
		PVDD_OV_DG = 01b	1.5	2	2.5	
		PVDD_OV_DG = 10b	3.25	4	4.75	
		PVDD_OV_DG = 11b	7	8	9	
V <sub>DVDD_POR</sub>	DVDD 电源 POR 阈值	DVDD 下降	2.5	2.7	2.9	V
		DVDD 上升	2.6	2.8	3	
V <sub>DVDD_POR_HYS</sub>	DVDD POR 迟滞	上升至下降阈值		100		mV
t <sub>DVDD_POR_DG</sub>	DVDD POR 抗尖峰脉冲时间		4.5	8	13.5	μs
V <sub>VCP_UV_SPI</sub>	电荷泵欠压阈值 SPI 器件	V <sub>VCP</sub> - V <sub>PVDD</sub> , 下降, V <sub>VCP_UV</sub> = 0b	2	2.5	3	V
		V <sub>VCP</sub> - V <sub>PVDD</sub> , 下降, V <sub>VCP_UV</sub> = 1b	4	5	6	
V <sub>VCP_UV_H/W</sub>	电荷泵欠压阈值 H/W 器件		2	2.5	3	V
t <sub>CP_UV_DG</sub>	电荷泵欠压抗尖峰脉冲时间		8	10	12.75	μs
V <sub>GS_CLP</sub>	高侧驱动器 V <sub>GS</sub> 保护钳位		12.5	15	17	V
V <sub>GS_LVL</sub>	栅极电压监控阈值	V <sub>GH/Lx</sub> - V <sub>SH/Lx</sub> , V <sub>GS_LVL</sub> = 0b	1.1	1.4	1.75	V
		V <sub>GH/Lx</sub> - V <sub>SH/Lx</sub> , V <sub>GS_LVL</sub> = 1b	0.8	1	1.2	V
t <sub>GS_FLT_DG</sub>	V <sub>GS</sub> 故障监控抗尖峰脉冲时间		1.5	2	2.75	μs
t <sub>GS_HS_DG</sub>	V <sub>GS</sub> 握手监控抗尖峰脉冲时间			210		ns
t <sub>DRIVE_SPI</sub>	V <sub>GS</sub> 和 V <sub>DS</sub> 监控消隐时间 SPI 器件	V <sub>GS_TDRV</sub> = 000b		0.125		μs
		V <sub>GS_TDRV</sub> = 001b		0.25		
		V <sub>GS_TDRV</sub> = 010b		0.5		
		V <sub>GS_TDRV</sub> = 011b		0.75		
		V <sub>GS_TDRV</sub> = 100b		1		
		V <sub>GS_TDRV</sub> = 101b	1.5	2	2.5	
		V <sub>GS_TDRV</sub> = 110b	3.25	4	4.75	
		V <sub>GS_TDRV</sub> = 111b	7.5	8	9	
t <sub>DRIVE_H/W</sub>	V <sub>GS</sub> 和 V <sub>DS</sub> 监控消隐时间 H/W 器件		3.25	4	4.75	μs
V <sub>Ds_LVL_SPI</sub>	V <sub>Ds</sub> 过流保护阈值 SPI 器件	V <sub>Ds_LVL</sub> = 0000b	0.04	0.06	0.08	V
		V <sub>Ds_LVL</sub> = 0001b	0.06	0.08	0.10	
		V <sub>Ds_LVL</sub> = 0010b	0.08	0.10	0.12	
		V <sub>Ds_LVL</sub> = 0011b	0.10	0.12	0.14	
		V <sub>Ds_LVL</sub> = 0100b	0.12	0.14	0.16	
		V <sub>Ds_LVL</sub> = 0101b	0.14	0.16	0.18	
		V <sub>Ds_LVL</sub> = 0110b	0.16	0.18	0.20	
		V <sub>Ds_LVL</sub> = 0111b	0.18	0.2	0.22	
		V <sub>Ds_LVL</sub> = 1000b	0.27	0.3	0.33	
		V <sub>Ds_LVL</sub> = 1001b	0.36	0.4	0.44	
		V <sub>Ds_LVL</sub> = 1010b	0.45	0.5	0.55	
		V <sub>Ds_LVL</sub> = 1011b	0.54	0.6	0.66	
		V <sub>Ds_LVL</sub> = 1100b	0.63	0.7	0.77	
		V <sub>Ds_LVL</sub> = 1101b	0.9	1	1.1	
		V <sub>Ds_LVL</sub> = 1110b	1.26	1.4	1.54	
		V <sub>Ds_LVL</sub> = 1111b	1.8	2	2.2	
V <sub>Ds_LVL_H/W</sub>	V <sub>Ds</sub> 过流保护阈值 H/W 器件	V <sub>Ds</sub> 六电平输入 1	0.04	0.06	0.08	V
		V <sub>Ds</sub> 六电平输入 2	0.08	0.10	0.12	
		V <sub>Ds</sub> 六电平输入 3	0.18	0.2	0.22	
		V <sub>Ds</sub> 六电平输入 4	0.45	0.5	0.55	
		V <sub>Ds</sub> 六电平输入 5	0.9	1	1.1	
		V <sub>Ds</sub> 六电平输入 6		禁用		

t <sub>DS,DG,SPI</sub>	V <sub>DS</sub> 过流保护抗尖峰脉冲时间 SPI 器件	V <sub>DS,DG</sub> = 00b	0.5	1	1.5	μs
		V <sub>DS,DG</sub> = 01b	1.5	2	2.5	
		V <sub>DS,DG</sub> = 10b	3.25	4	4.75	
		V <sub>DS,DG</sub> = 11b	7.5	8	9	
t <sub>DS,DG,H/W</sub>	V <sub>DS</sub> 过流保护抗尖峰脉冲时间 H/W 器件		3.25	4	4.75	μs
V <sub>SP(OCP)</sub>	运放输入过流保护阈值 SPI 器件	SP_LVL=00b	Disabled			V
		SP_LVL=01b	0.16	0.2	0.24	
		SP_LVL=10b	0.32	0.4	0.48	
		SP_LVL=11b	0.64	0.8	0.96	
t <sub>SP,DG,SPI</sub>	V <sub>DS</sub> 过流保护抗尖峰脉冲时间 SPI 器件	SP_DG = 00b	0.75	1	1.5	μs
		SP_DG = 01b	1.5	2	2.5	
		SP_DG = 10b	3.25	4	4.75	
		SP_DG = 11b	7.5	8	9	
t <sub>SP,DG,H/W</sub>	V <sub>DS</sub> 过流保护抗尖峰脉冲时间 H/W 器件		3.25	4	4.75	μs
I <sub>OL</sub>	离线诊断电流	上拉电流	3			mA
		下拉电流	3			
R <sub>OLD</sub>	离线路负载电阻检测阈值	V <sub>DS,LVL</sub> = 1.4V, V <sub>PVDD</sub> ≤ 18V	22		50	kΩ
		V <sub>DS,LVL</sub> = 1.4V, V <sub>PVDD</sub> ≤ 37V	22		100	
		V <sub>DS,LVL</sub> = 2V, V <sub>PVDD</sub> ≤ 18V	10		25	
		V <sub>DS,LVL</sub> = 2V, V <sub>PVDD</sub> ≤ 37V	10		50	
T <sub>OTW</sub>	热警告温度	T <sub>J</sub> 上升	130	150	170	°C
T <sub>HYS</sub>	热警告迟滞		20			°C
T <sub>OTSD</sub>	热关断温度	T <sub>J</sub> 上升	150	170	190	°C
T <sub>HYS</sub>	热关断迟滞		20			°C

## 7.6. 时序要求

参数		测试条件	最小值	典型值	最大值	单位
t <sub>SCLK</sub>	SCLK 最小周期		100			ns
t <sub>SCLKH</sub>	SCLK 最短高电平时间		50			ns
t <sub>SCLKL</sub>	SCLK 最短低电平时间		50			ns
t <sub>SU_SDI</sub>	SDI 输入数据设置时间		25			ns
t <sub>H_SDI</sub>	SDI 输入数据保持时间		25			ns
t <sub>D_SDO</sub>	SDO 输出数据延迟时间 (C <sub>L</sub> = 20 pF)		30			ns
t <sub>SU_nSCS</sub>	nSCS 输入设置时间		25			ns
t <sub>H_nSCS</sub>	nSCS 输入保持时间		25			ns
t <sub>HI_nSCS</sub>	nSCS 最短高电平时间		450			ns
t <sub>EN_nSCS</sub>	启用延迟时间 (nSCS 低电平至 SDO 有效)		50			ns
t <sub>DIS_nSCS</sub>	禁用延迟时间 (nSCS 高电平至 SDO 高阻态)		50			ns

7.7. 时序图

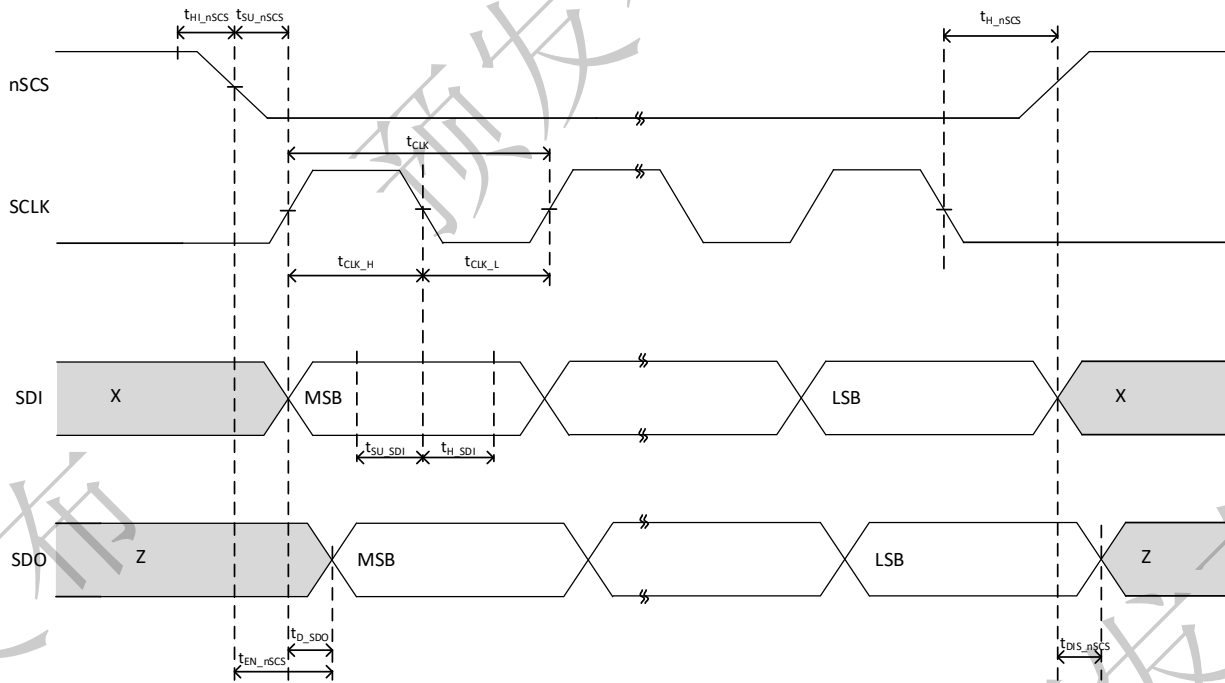
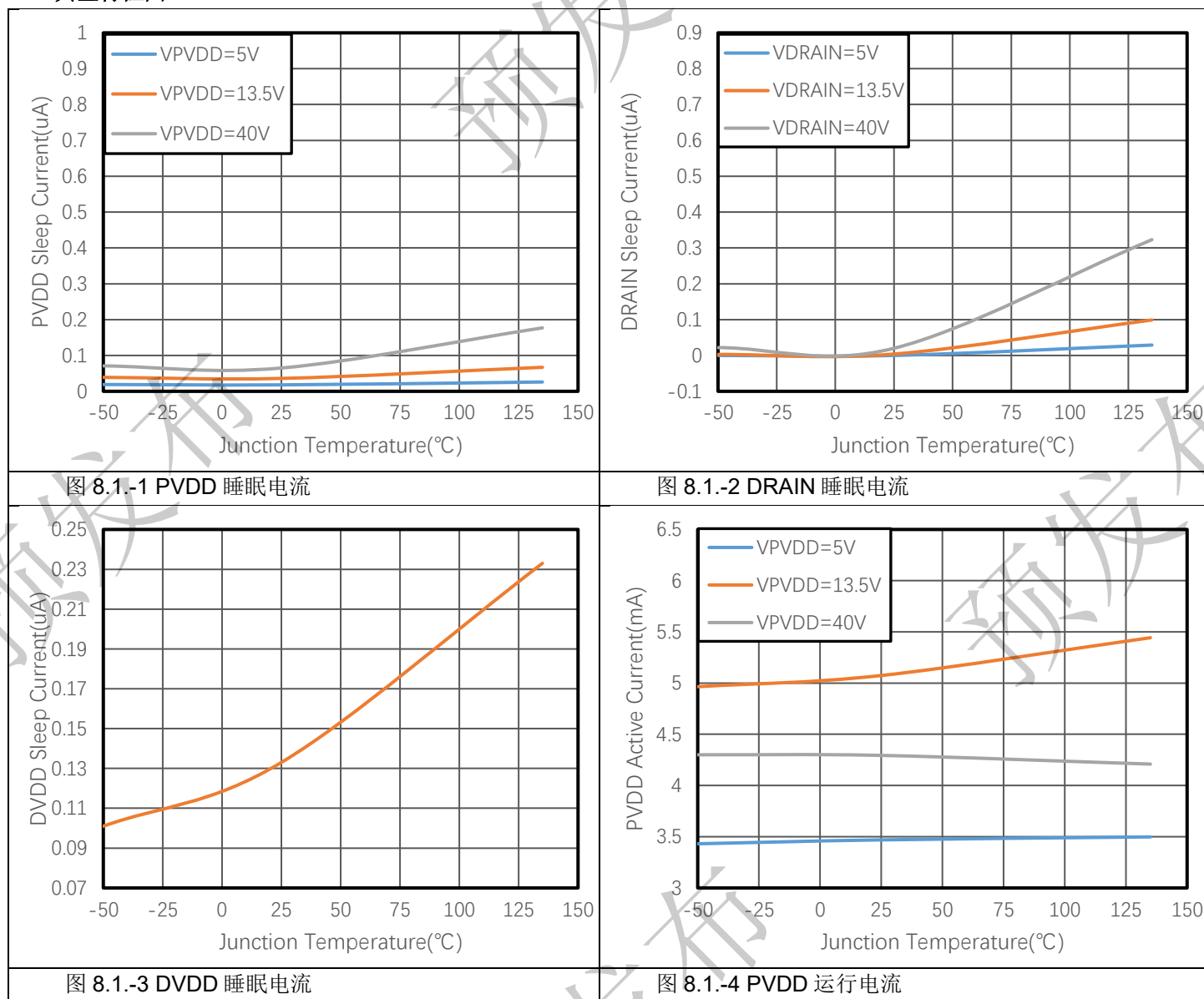


图 7-1. SPI 时序图

8. 参数测量

8.1. 典型特性图





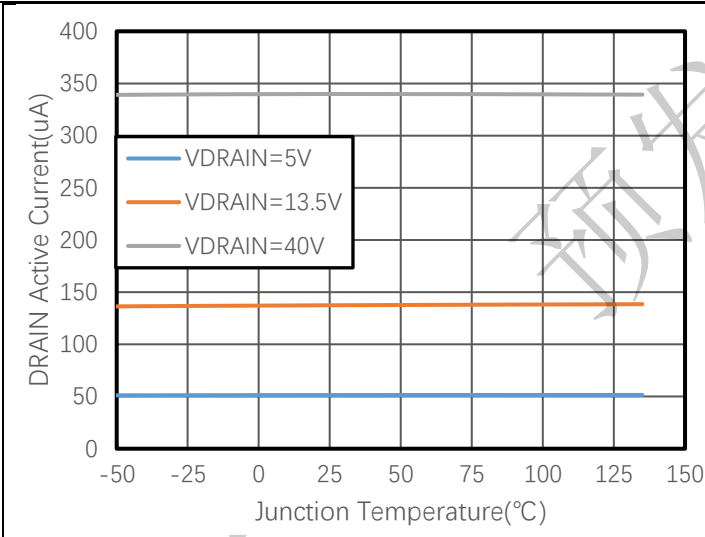


图 8.1-5 DRAIN 运行电流

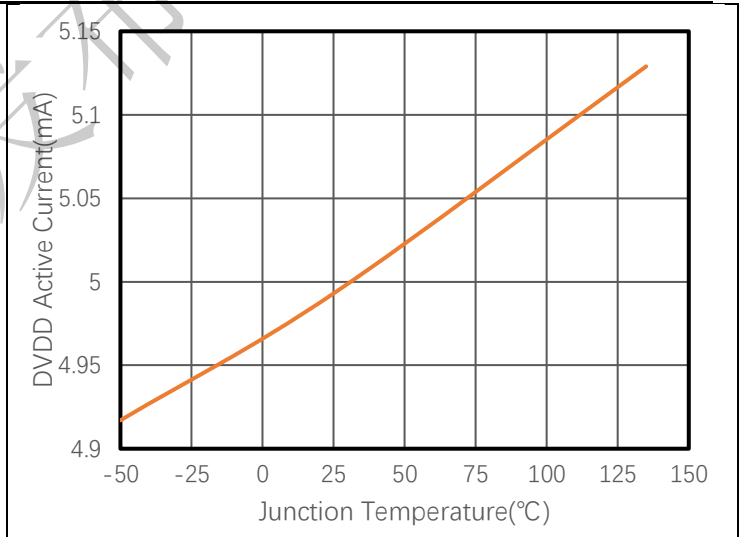


图 8.1-6 DVDD 运行电流

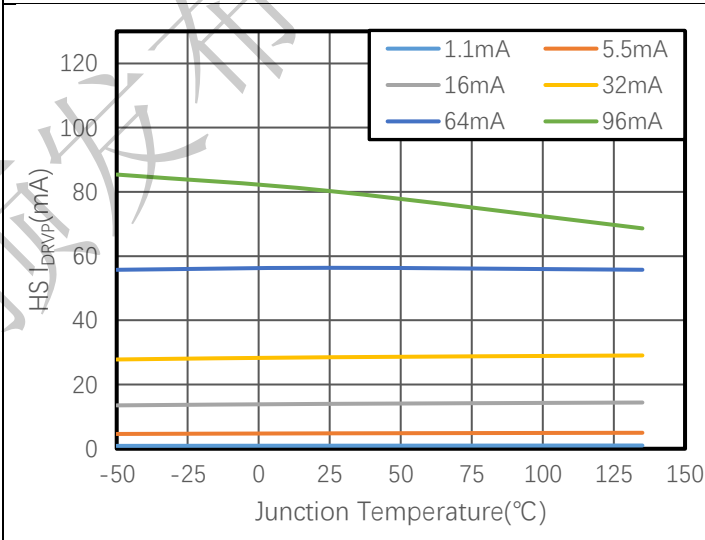


图 8.1-7 高侧栅极驱动器拉电流 (VPVDD=13.5V)

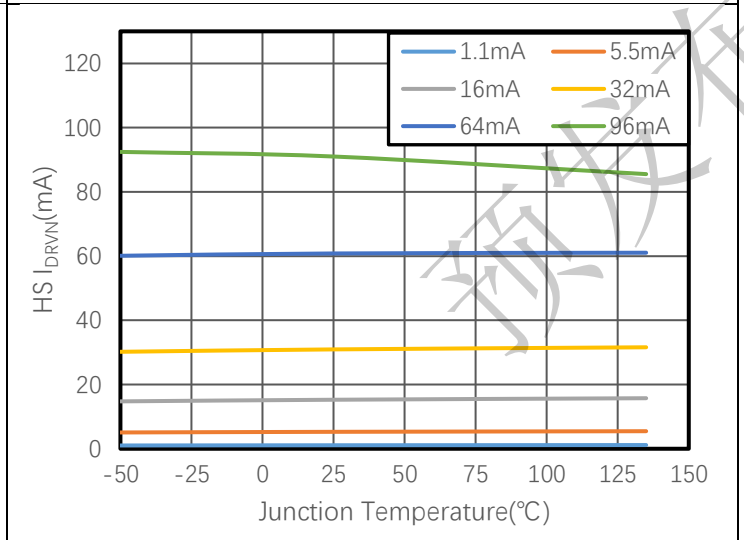


图 8.1-8 高侧栅极驱动灌电流 (VPVDD=13.5V)

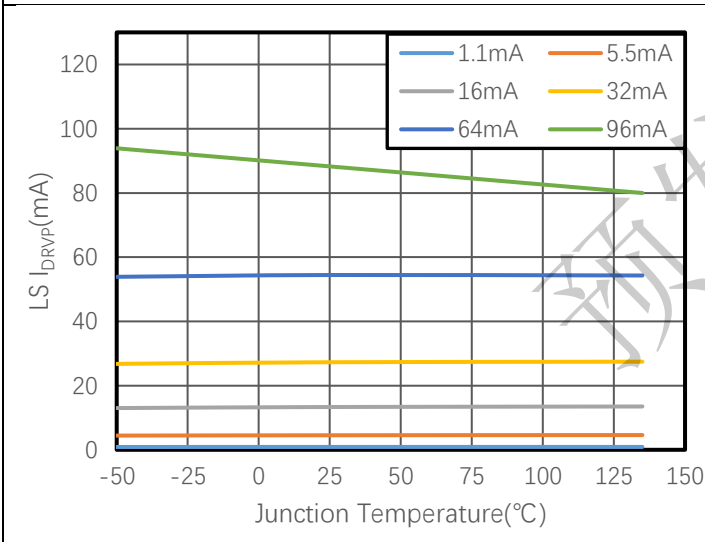


图 8.1-9 低侧栅极驱动器拉电流 (VPVDD=13.5V)

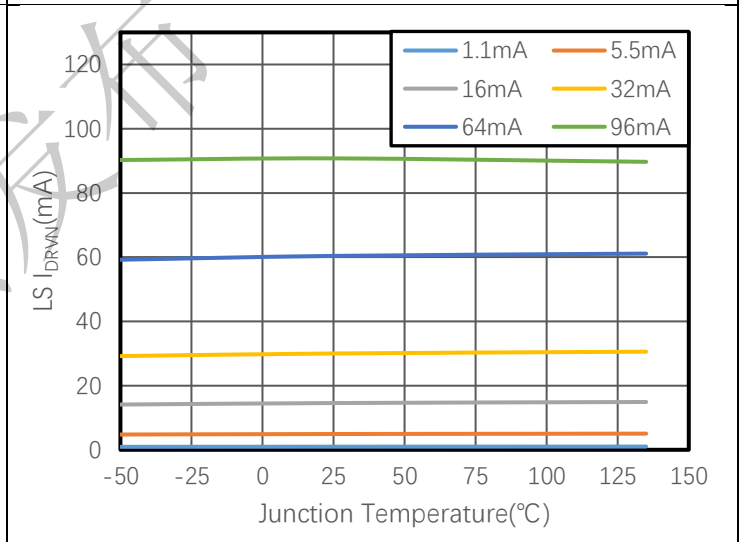


图 8.1-10 低侧栅极驱动灌电流 (VPVDD=13.5V)

## 9. 详细说明

### 9.1. 概述

CA-DV8706xF-Q1 为集成宽共模电流感测放大器的车规级 H 桥智能栅极驱动器，适用于驱动有刷直流电机、螺线管等负载。此器件具有两个半桥栅极驱动器，同时集成式倍增电荷泵（针对高侧）和线性稳压器（针对低侧），可生成合适的栅极驱动电压，能够驱动高侧和低侧 N 沟道功率 MOSFET。此器件支持高达 128 mA 的峰值栅极驱动拉电流和 128 mA 的峰值栅极驱动灌电流，支持 5V 至 37V 的宽电源电压范围。

CA-DV8706xF-Q1 基于可调栅极驱动架构，一方面可优化死区时间以避免出现击穿问题，另一方面通过可调栅极驱动电流优化 MOSFET 压摆率以降低电磁干扰 (EMI)。器件可通过 VDS 和 VGS 监控器来防止漏源极和栅极短路问题。强下拉电路有助于防止  $dV/dt$  栅极寄生耦合的发生。

CA-DV8706xF-Q1 的 DVDD 引脚可支持 3.3V 或 5V 的供电电压，并且数字输出以 DVDD 供电电压为基准。它通过 SPI 总线与外部控制器进行通信，从而管理配置设置和诊断反馈。此器件还具有一个 AREF 引脚，允许将分流放大器基准电压关联到外部控制器 ADC 的基准电压。分流放大器输出也被钳位到 AREF 引脚电压，从而保护控制器的输入免受电压尖峰的影响。

CA-DV8706xF-Q1 具有一系列诊断和保护特性，用于在运行前监控系统的状态并防止系统运行期间出现故障。此类功能包括适用于电源和电荷泵的欠压和过压监控、适用于外部 MOSFET 的 VDS 过流和 VGS 栅极故障监控、离线负载开路和短路检测，以及内部热警告和热关断保护功能。电流分流放大器可用于监控系统的负载电流。放大器的高共模范围可实现基于高侧、低侧或负载侧分流电阻的电流感测。

### 9.2. 功能框图

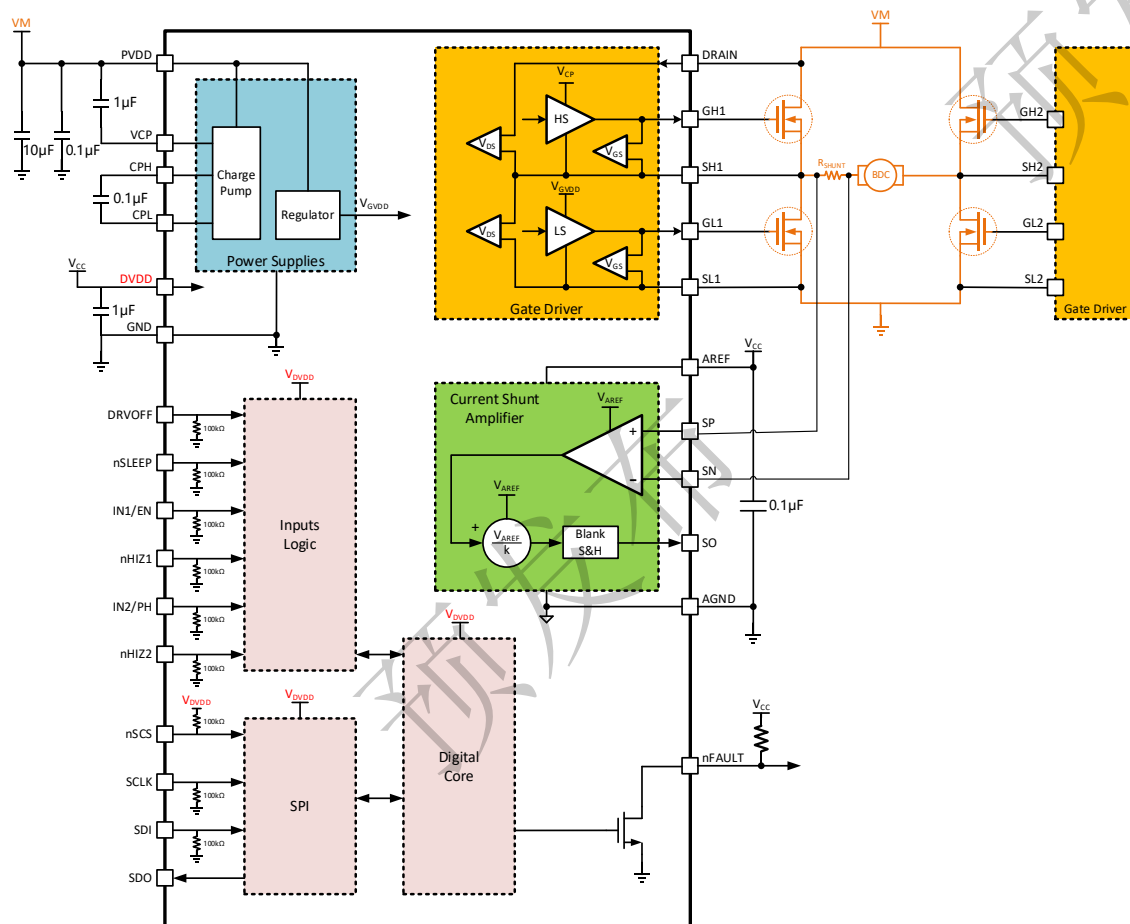


图 9-1. 功能框图 (CA-DV8706SF-Q1)

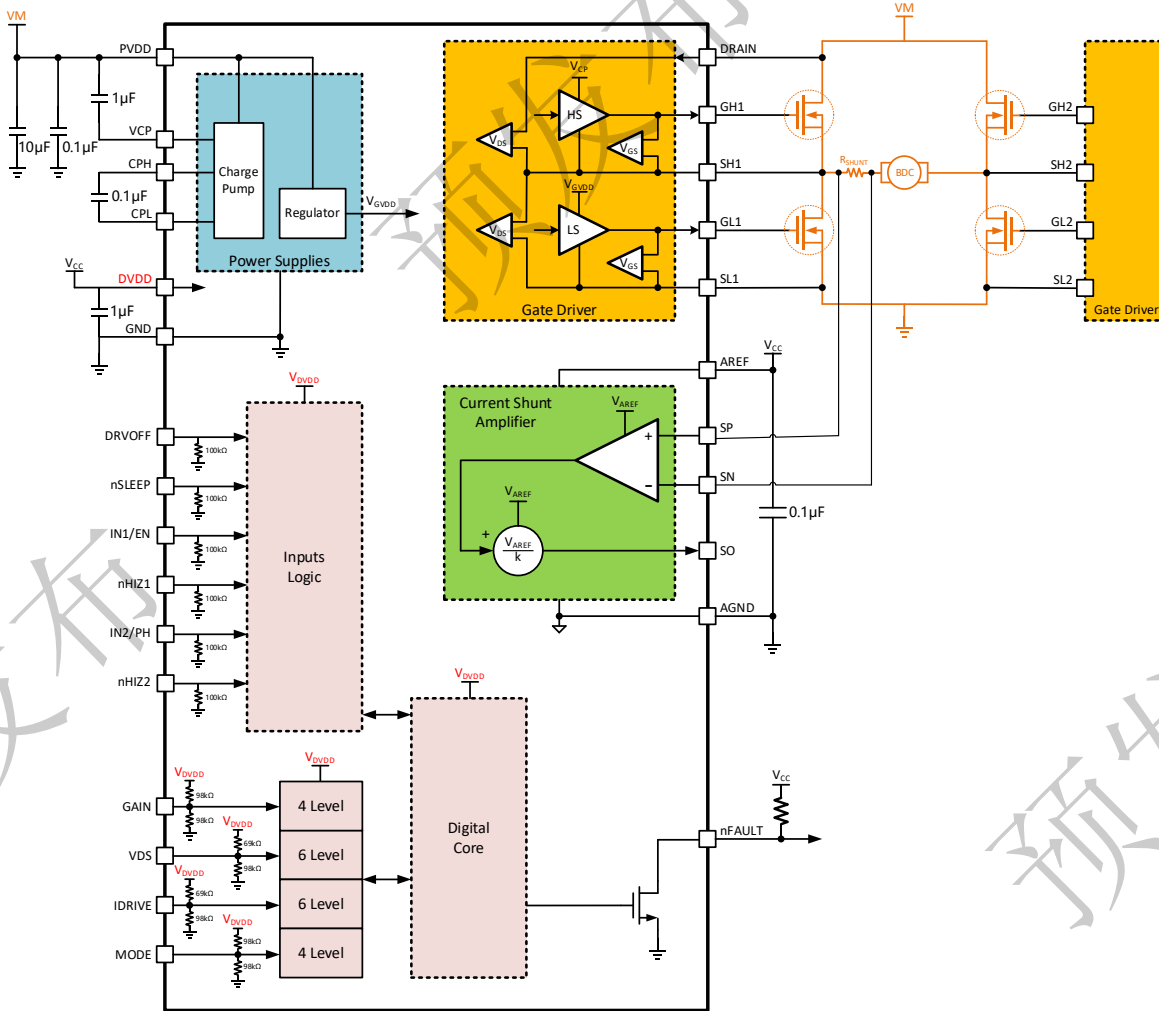


图 9-2. 功能框图 (CA-DV8706HF-Q1)

### 9.3. 特性说明

#### 9.3.1. 推荐外部元件

表 9-1 列出了推荐用于此器件的外部元件。

表 9-1 推荐的外部元件

元件	引脚 1	引脚 2	推荐
CPVDD1	PVDD	GND	0.1 $\mu$ F、低 ESR、PVDD 额定的陶瓷电容器。
CPVDD2	PVDD	GND	大于或等于 10 $\mu$ F、PVDD 额定的局部大容量电容器。
CDVDD <sup>(1)</sup>	DVDD	GND	1.0 $\mu$ F、6.3V、低 ESR 陶瓷电容器
CAREF <sup>(1)</sup>	AREF	GND	0.1 $\mu$ F、6.3V、低 ESR 陶瓷电容器
CVCP	VCP	PVDD	1 $\mu$ F、16V、低 ESR 陶瓷电容器
CFLY	CPH	CPL	0.1 $\mu$ F、低 ESR、PVDD 额定的陶瓷电容器
RnFAULT	VCC <sup>(2)</sup>	nFAULT	上拉电阻器, $I_{ob} \leq 5$ mA

(1) 建议使用旁路电容来降低外部低压电源的噪声。若另一个旁路电容靠近用于外部低压电源的器件,且当电源上的噪声很小,则可以选择移除该元件。

(2) VCC 为 nFAULT 提供上拉供电,可由外部电源或 MCU I/O 提供。

**9.3.2. 器件接口类型**

CA-DV8706xF-Q1 可支持 SPI 和 H/W 硬件两种接口模式，可使终端应用的设计更灵活简单。这两种接口模式共用相同的四个引脚，以在不同的版本之间实现引脚相互兼容。因此，应用设计人员可以使用一个接口模式的器件版本进行评估，然后只需对其设计进行极少的修改即可切换到另一个器件的接口模式。

**9.3.2.1. 串行外设接口 (SPI)**

SPI 器件型号可支持串行通信总线，从而在外部控制器与 CA-DV8706SF-Q1 之间进行数据的收发。可通过 MCU 等外部控制器来进行器件配置，并读取器件详细的故障信息。该接口是一种使用 nSCS、SCLK、SDI 和 SDO 引脚的四线 SPI 接口。

- nSCS 引脚是片选输入引脚。此引脚上的逻辑低电平时可支持 SPI 通信。
- SCLK 引脚是一个输入引脚。作用是接收时钟信号以确定何时在 SDI 和 SDO 上捕获和传输数据。
- SDI 引脚是数据输入引脚。
- SDO 引脚是数据输出引脚。SDO 引脚使用以 DVDD 输入为基准的推挽式 (Push-Pull) 输出结构。

更多有关 SPI 的信息，请参阅 SPI 接口章节。

**9.3.2.2. 硬件接口 (H/W)**

硬件接口器件将四个 SPI 引脚转换为四个可通过电阻配置的输入，即 IDRIVE、GAIN、VDS 和 MODE。应用设计人员可通过将引脚配置为逻辑高电平或逻辑低电平，或使用简单的上拉或下拉电阻，对器件进行设置。因此，外部控制器不再需要 SPI 总线通讯配置，一般故障信息仍可通过 nFAULT 引脚指示获得。

硬件接口设置在器件上电时锁存，可通过以下方式重新配置：拉低 nSLEEP 引脚将器件置于睡眠模式，更改设置，然后通过拉高 nSLEEP 重新启用器件。

- IDRIVE 引脚可配置栅极驱动电流强度。
- GAIN 引脚可配置电流分流放大器增益。
- VDS 引脚可配置 VDS 过流监控器的电压阈值。
- MODE 引脚可配置 PWM 输入控制模式。

更多有关硬件接口的信息，请参阅引脚图章节。

**9.3.3. 控制信号输入模式**

CA-DV8706xF-Q1 具有多种输入 PWM 模式，可支持不同的控制方案和输出负载配置。栅极驱动器输出可以通过 IN1/EN、IN2/PH 和 nHIZx 输入引脚进行控制。对于 SPI 器件型号，也可以通过 S\_IN1/EN、S\_IN2/PH 和 S\_nHIZx 寄存器设置来控制输出。PWM 模式通过 SPI 寄存器设置 BRG\_MODE（对于 SPI 器件型号）或 MODE 引脚（对于 H/W 器件型号）进行设置。下面列出了这些模式以及相关功能说明的其他详细信息。

**表 9-2 输入 PWM 模式**

PWM 模式	SPI 接口 (BRG_MODE)	H/W 接口 (模式引脚)
半桥控制	00b	1 级
H 桥控制	01b (PH/EN)	2 级 (PH/EN)
	10b (PWM)	3 级 (PWM)
分离式 HS 和 LS 螺线管控制	11b	4 级

**9.3.3.1. 半桥控制**

在半桥控制中，每个半桥栅极驱动器都可通过相应的 IN1/EN、IN2/PH 和 nHIZx 输入引脚单独控制。nHIZx 信号优先于 IN1/EN 和 IN2/PH 信号。对于半桥控制，可参考表 9-3 的 INx 标识符。CA-DV8706xF-Q1 能够合理处理高侧和低侧开关之间的死区时间，可使单个 PWM 输入能够控制每个半桥。

CA-DV8706xF-Q1 允许通过 nHIZx 引脚将每个半桥栅极驱动器单独设置为高阻态。如果不需要此功能，则应将 nHIZx 引脚连接到 DVDD 引脚。

在 SPI 器件型号上，IN1/EN、IN2/PH、HIZ1 和 HIZ2 信号也可以通过 SPI 寄存器进行控制。IN1/EN 和 IN2/PH 的 SPI 控制可以通过 IN1/EN\_MODE 和 IN2/PH\_MODE 寄存器设置进行启用。信号通过 S\_IN1/EN 和 S\_IN2/PH 寄存器设置进行

控制。HIZ1 信号是 nHIZ1 引脚和 S\_HIZ1 寄存器设置的逻辑“或”的关系。HIZ2 信号是 nHIZ2 引脚和 S\_HIZ2 寄存器设置的逻辑“或”的关系。

表 9-3 半桥控制 ( BRG\_MODE = 00b 或 MODE = 1 级)

nHIZx	INx	GHx	GLx	SHx
0	X	L	L	Z
1	0	L	H	L
1	1	H	L	H

### 9.3.3.2. H 桥控制

在 H 桥模式下，H 桥栅极驱动器可视为两个半桥栅极驱动器组合而成，通过 IN1/EN 和 IN2/PH 输入引脚进行控制。

H 桥模式有两种输入控制方案，可通过 SPI 版本的 BRG\_MODE 寄存器设置或 H/W 版本的 MODE 引脚进行配置。PH/EN 模式可使用由一个 PWM 信号和一个 GPIO 信号控制的速度/方向类型接口来控制 H 桥。PWM 模式允许更高级的方案来控制 H 桥，该方案通常需要两个 PWM 信号。因此，可以组合成四种逻辑模式，H 桥驱动器可进入四种不同的输出状态，用来进行更加灵活的控制。

在 PH/EN 和 PWM 模式下，默认的有源续流模式都是低侧有效。SPI 版本的器件允许通过 BRG\_FW 寄存器设置来配置续流状态。此设置可用于修改低侧或高侧有源续流之间的桥接。

在 H 桥控制模式下，nHIZx 引脚和 S\_HIZx 寄存器功能被禁用。H 桥可通过 PWM 控制模式、DRVOFF 引脚或 SPI 器件上的 EN\_DRV 寄存器设置设为高阻态 (Hiz)。

表 9-4. PH/EN H 桥控制 ( BRG\_MODE = 01b 或 MODE = 2 级)

IN1/EN	IN2/PH	BRG_FW	GH1	GL1	GH2	GL2	SH1	SH2	说明
0	X	0b	L	H	L	H	L	L	低侧有源续流
0	X	1b	H	L	H	L	H	H	高侧有源续流
1	0	X	L	H	H	L	L	H	驱动器 SH2 → SH1 (反向)
1	1	X	H	L	L	H	H	L	驱动器 SH1 → SH2 (正向)

表 9-5. PWM H 桥控制 ( BRG\_MODE = 10b 或 MODE = 3 级)

IN1/EN	IN2/PH	BRG_FW	GH1	GL1	GH2	GL2	SH1	SH2	说明
0	0	X	L	L	L	L	Z	Z	二极管续流 (滑行)
0	1	X	L	H	H	L	L	H	驱动器 SH2 → SH1 (反向)
1	0	X	H	L	L	H	H	L	驱动器 SH1 → SH2 (正向)
1	1	0b	L	H	L	H	L	L	低侧有源续流
1	1	1b	H	L	H	L	H	H	高侧有源续流

### 9.3.3.3. 分离式 HS 和 LS 螺线管控制模式

在分离式 HS 和 LS 螺线管控制模式下，只有 GH1 和 GL2 栅极驱动器输出处于运行状态。GH1 输出通过 IN1/EN 进行控制，而 GL2 输出通过 IN2/PH 进行控制。此模式允许配置 H 桥为驱动互相对着的高侧和低侧外部 MOSFET 之间的浮动螺线管负载。

在分立式 HS 和 LS 控制模式下，nHIZx 引脚和 S\_HIZx 寄存器功能被禁用。nHIZx 引脚可保持断开或接地。H 桥可通过 DRVOFF 引脚或 SPI 器件上的 EN\_DRV 寄存器设置设为高阻态 (Hiz)。

**表 9-6. 分离式 HS 和 LS 控制 (BRG\_MODE = 11b 或 MODE = 4 级)**

IN1/EN	IN2/PH	GH1	GL1	GH2	GL2	说明
0	X	L	非运行	非运行	X	禁用螺线管
1	X	H	非运行	非运行	X	启用螺线管
X	0	X	非运行	非运行	L	螺线管 PWM 关闭
X	1	X	非运行	非运行	H	螺线管 PWM 开启

### 9.3.4. 栅极驱动器

CA-DV8706xF-Q1 采用可调栅极驱动架构，可实现出色的 MOSFET 控制和强大的开关性能。CA-DV8706xF-Q1 提供用于压摆率控制的驱动器功能，并具有驱动器状态机，可用于死区时间握手、dV/dt 栅极寄生耦合预防和 MOSFET 栅极故障检测。

可调栅极驱动器核心功能：

- 栅极驱动器功能方框图
- 压摆率控制 (IDRIVE)
- 栅极驱动状态机 (TDRIVE)

**表 9-7. 可调栅极驱动器术语说明**

核心功能	术语	说明
IDRIVE/TDRIVE	IDRVP	用于可调 MOSFET 压摆率控制的可编程栅极驱动拉电流。使用 IDRVP_x 控制寄存器或 IDRIVE 引脚进行配置。
	IDRVN	用于可调 MOSFET 压摆率控制的可编程栅极驱动灌电流。使用 IDRVN_x 控制寄存器或 IDRIVE 引脚进行配置。
	IHOLD	非开关期间的固定栅极驱动器保持上拉电流。
	ISTRONG	非开关期间的固定栅极驱动器强下拉电流。
	tDRIVE	IHOLD 或 ISTRONG 之前的 IDRVP/N 驱动电流持续时间。还提供 VGS 和 VDS 故障监控消隐周期。使用 VGS_TDRV_x 控制寄存器进行配置。
	tPD	从逻辑控制信号到栅极驱动器输出变化的传播延迟。
	tDEAD	高侧和低侧开关转换之间的体二极管导通周期。使用 TDEAD_x 控制寄存器进行配置。

#### 9.3.4.1. 栅极驱动器功能方框图

图 9-3 显示了半桥栅极驱动器架构的简要功能方框图。栅极驱动器块提供各种功能以实现 MOSFET 控制、反馈和保护。这些功能包括具有可调驱动电流的互补推挽式高侧和低侧栅极驱动器、控制逻辑电平转换器、VDS 和 VGS 反馈比较器、高侧齐纳钳位以及无源和有源下拉电阻。



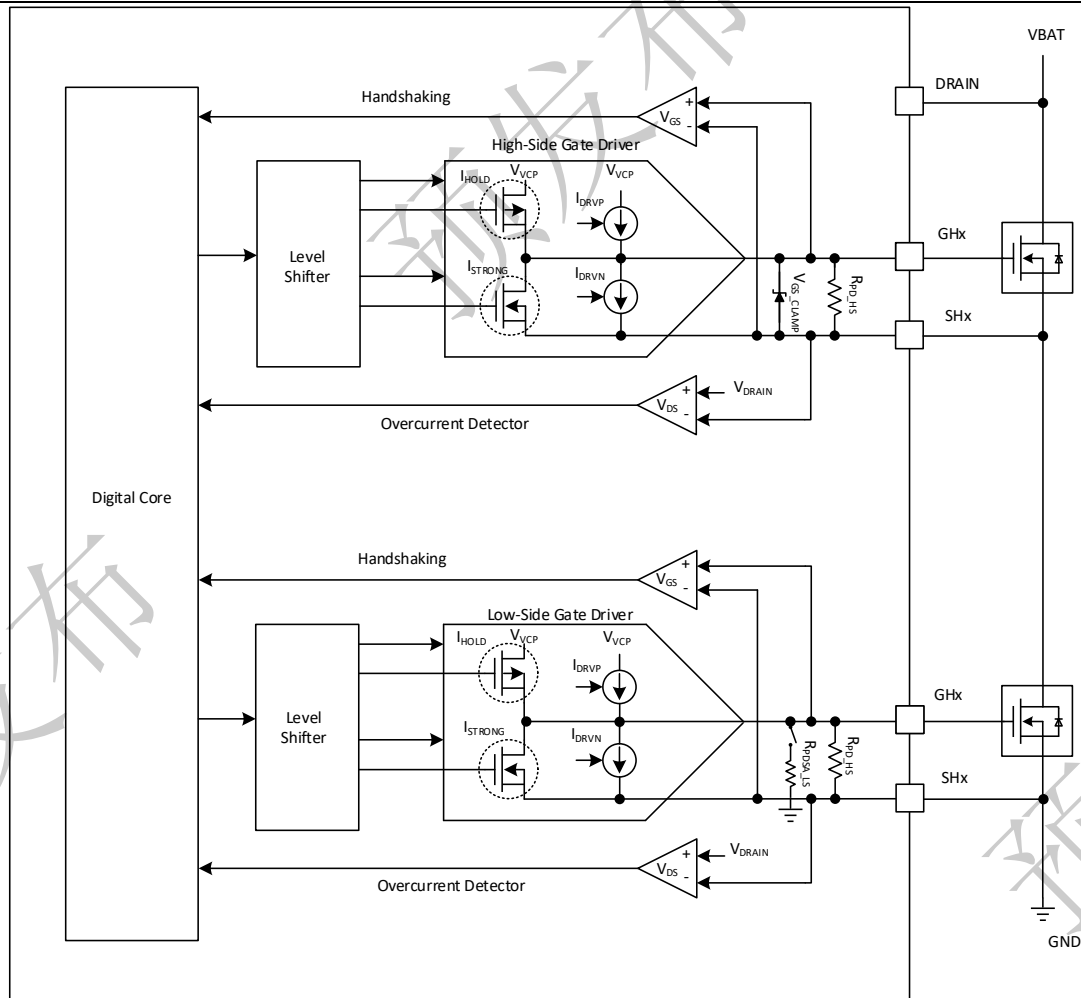


图 9-3. 栅极驱动器功能方框图

### 9.3.4.2. 压摆率控制 (IDRIVE)

可调栅极驱动架构的 IDRIVE 组件实现了可调节的栅极驱动电流控制，可调整外部 MOSFET VDS 压摆率。实现此目标的方法是为内部栅极驱动器架构实施可调节的上拉 (IDRVP) 和下拉 (IDRVN) 电流源。

外部 MOSFET VDS 压摆率是用于优化辐射和传导发射、二极管反向恢复、dV/dt 栅极寄生耦合以及半桥开关节点上的过压或欠压瞬态的关键因素。IDRIVE 的工作原理是，VDS 压摆率主要取决于 MOSFET QGD 或米勒充电区域中提供的栅极电荷（或栅极电流）的速率。通过让栅极驱动器调节栅极电流，可以有效地控制外部功率 MOSFET 的压摆率。

IDRIVE 允许 CA-DV8706HF-Q1 通过 IDRVP\_x 和 IDRVN\_x SPI 寄存器或 H/W 接口器件上的 IDRIVE 引脚动态地更改栅极驱动器电流设置。该器件为拉电流和灌电流提供了介于 0.5 mA 和 128 mA 范围之间的 32 种设置值。在 tDRIVE 持续时间内可使用峰值栅极驱动电流。在 MOSFET 进行开关并且 tDRIVE 持续时间结束后，对于上拉的下拉电流，栅极驱动器将切换到保持电流 (I\_HOLD)，以便在短路条件下限制输出电流，并提高驱动器的效率。

### 9.3.4.3. 栅极驱动状态机 (TDRIVE)

可调栅极驱动架构的 TDRIVE 元件是一个集成的栅极驱动状态机，可提供自动死区时间插入、dV/dt 栅极寄生耦合预防和 MOSFET 栅极故障检测等功能。

TDRIVE 状态机的第一个作用是自动死区时间握手。死区时间是外部高侧和低侧 MOSFET 开关期间体二极管导通的一段时间，旨在防止发生任何跨导或击穿。CA-DV8706xF-Q1 使用 VGS 监控器来实施断路，然后通过测量外部 MOSFET

VGS 电压来确定正确启用外部 MOSFET 的时间，从而建立死区时间方案。该方案使栅极驱动器能够针对系统变化（例如温度漂移、老化、电压波动和外部 MOSFET 参数变化）来调整死区时间。如有需要，可插入一个额外的固定数字死区时间 ( $t_{DEAD\_D}$ )，并可通过 SPI 寄存器对其进行调整。

第二个作用侧重于防止  $dV/dt$  栅极电荷寄生耦合。为实现这一点，每当半桥中相反状态的 MOSFET 开关时可启用栅极强下拉电流 ( $I_{STRONG}$ )。当半桥开关节点快速转换时，使用此功能可以消除耦合到外部 MOSFET 栅极中的寄生电荷。

第三个作用是实施栅极故障检测方案以检测栅极电压问题。这个方案用于检测引脚对引脚的焊接缺陷、MOSFET 栅极故障或者栅极卡在高电压或低电压的情况。为此，需使用 VGS 监控器在  $t_{DRIVE}$  时间结束后测量栅极电压。如果栅极电压没有达到适当的阈值，栅极驱动器将报告相应的故障情况。为确保不会检测到伪故障，应选择比 MOSFET 栅极充放电所需时间更长的  $t_{DRIVE}$  时间。 $t_{DRIVE}$  时间不会影响 PWM 最小持续时间，如果收到另一个 PWM 命令，此时间将提前终止。

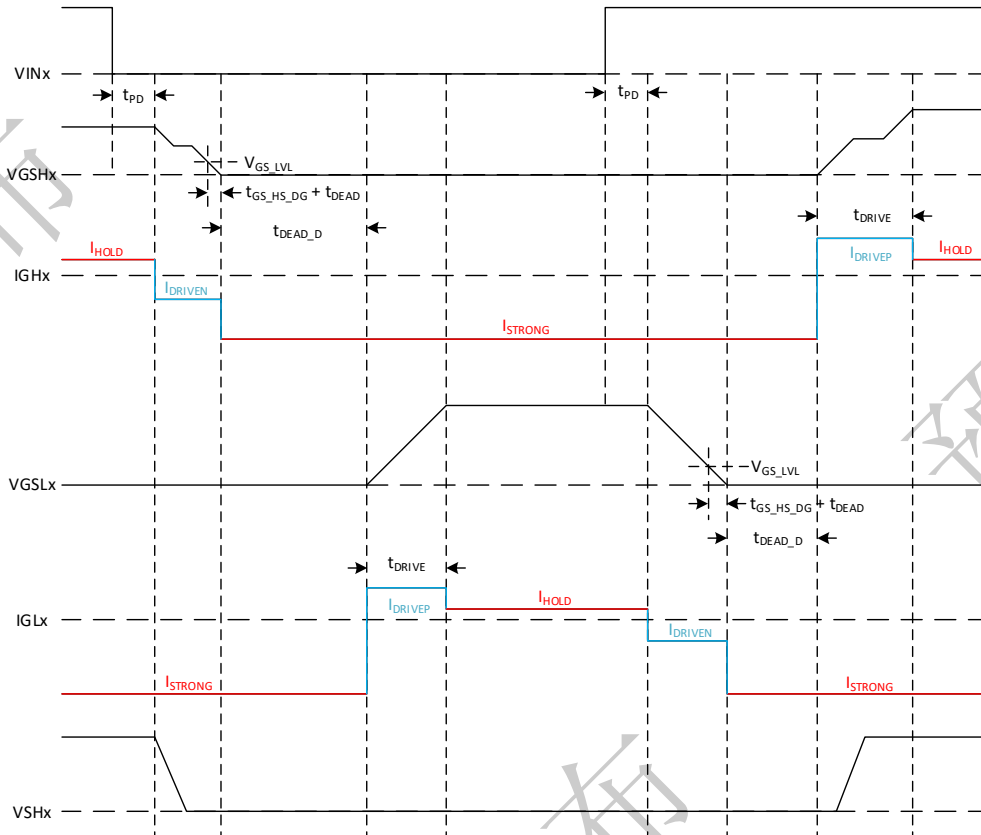


图 9-4. TDRIVE 状态机

### 9.3.5. 倍增 (单级) 电荷泵

外部 MOSFET 的高侧栅极驱动电压是使用倍增电荷泵产生的，而该电荷泵采用 PVDD 电压电源输入端运行。该电荷泵使高侧栅极驱动器能够在宽输入电源电压范围内相对于源极电压适当地偏置外部 N 沟道 MOSFET。电荷泵输出经过调节可保持相对于 VPVDD 的固定电压，并支持 15 mA 的平均输出电流能力。电荷泵会受到持续监控以确定是否发生欠压事件，从而防止 MOSFET 出现驱动不足的情况。

电荷泵会被调节到 PVDD 引脚电压，因此该器件不支持 PVDD 和 DRAIN 引脚之间过大的电压差，这些电压差应该受到限制。

电荷泵需要在 PVDD 和 VCP 引脚之间放置一个低 ESR、1  $\mu$ F、16V 陶瓷电容器（推荐使用 X5R 或 X7R）作为储能电容器。此外，还需要在 CPH 和 CPL 引脚之间放置一个低 ESR、100 nF、PVDD 额定的陶瓷电容器（推荐使用 X5R 或 X7R）作为飞跨电容器。

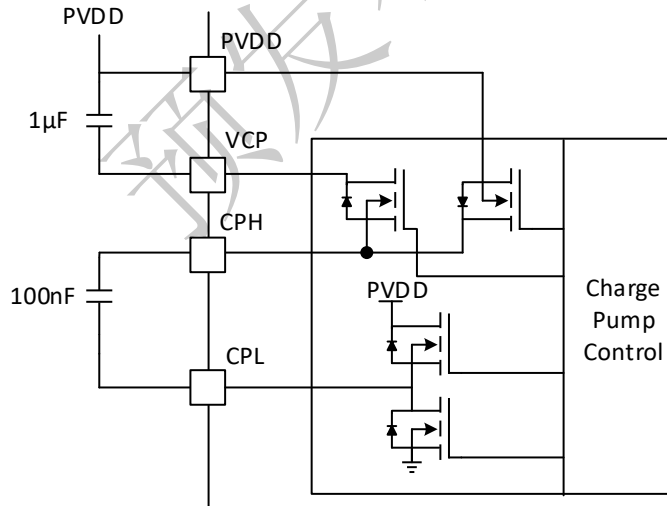


图 9-5. 电荷泵架构

### 9.3.6. 宽共模差分电流分流放大器

CA-DV8706xF-Q1 集成了一个高性能的宽共模双向电流分流放大器，可在外部半桥中使用分流电阻进行电流测量。通常会通过测量电流来实施过流保护、外部扭矩控制或通过外部控制器进行换向。由于分流放大器具有高共模范围，该器件可支持低侧、高侧或负载侧分流器配置。电流分流放大器具有如下特性：可编程增益、单向和双向支持、输出消隐和采样保持开关，以及可通过专用电压基准引脚 (AREF) 来设置放大器输出的中点偏置电压。图 9-6 中显示了一个简化版方框图。SP 应连接到分流电阻的正极端子，SN 应连接到分流电阻的负极端子。如果未使用放大器，则 AREF、SN、SP 输入可连接到 AGND，AGND 可连接到 PCB GND，而 SO 输出可保持悬空。

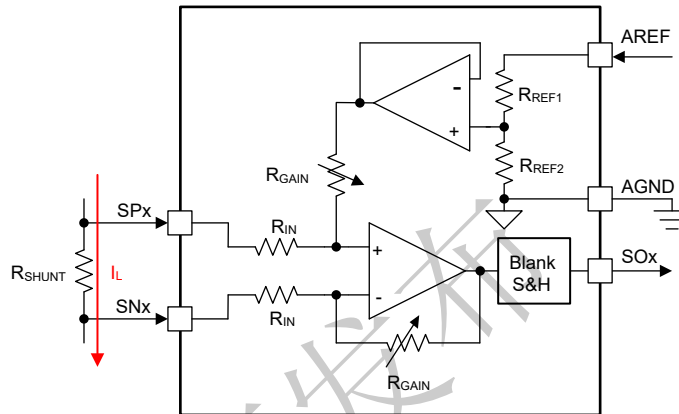


图 9-6. 放大器简化版方框图

图 9-7 中显示了一个详细的方框图。宽共模放大器采用两级差分架构实现。第一个差分级支持宽共模输入、差分输出，并具有固定增益  $G = 2$ 。第二个差分级支持可变增益调整， $G = 5、10、20$  或  $40$ 。两个级的总增益将为  $G = 10、20、40$  或  $80$ 。

放大器还可通过 AREF 引脚产生输出电压偏置。AREF 引脚连接到分压器网络、缓冲器，然后设置差分放大器的输出电压偏置。在 SPI 器件型号上，可通过 CSA\_GAIN 寄存器设置来配置增益，并通过 CSA\_DIV 来配置参考分压比。在 H/W 器件型号上，参考分压比固定为  $V_{AREF} / 2$ 。需要通过 GAIN 引脚来配置增益。

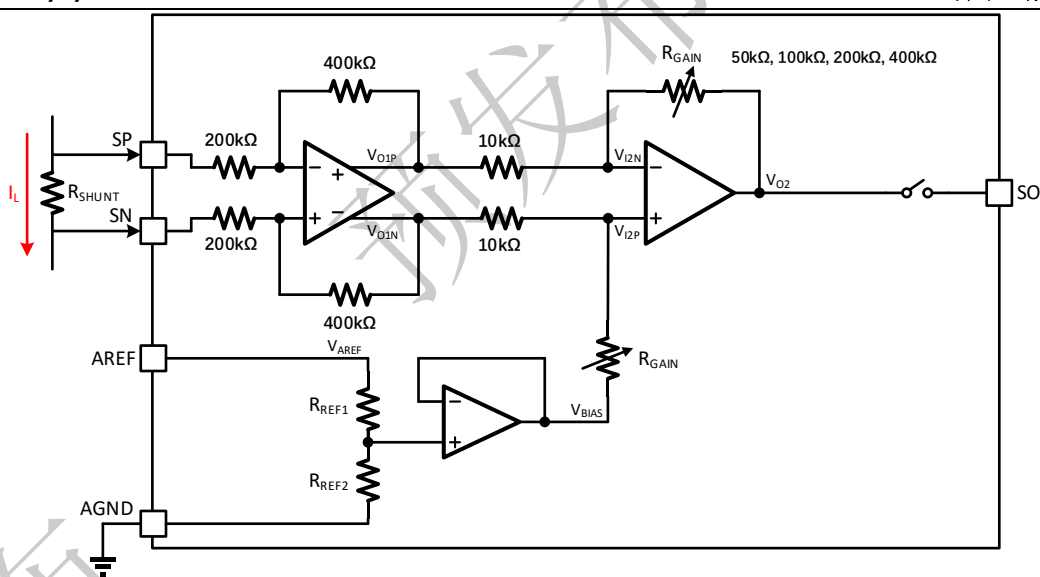


图 9-7. 放大器详细方框图

最后，放大器具有输出消隐或采样保持开关。只有 SPI 型号器件具有该特性。输出开关可在 PWM 开关期间用于断开放大器输出以降低输出噪声（消隐），如果在高侧或低侧配置中使用了分流器，该开关还可在电机制动期间用于保持输出值（采样保持）。可分别通过 CSA\_BLK\_SEL 寄存器设置将消隐电路设为在有源半桥（半桥 1 或半桥 2）上触发，通过 CSA\_BLK 寄存器设置来配置消隐周期，通过 CSA\_SH\_EN 寄存器设置来启用采样保持电路。运行时，只要驱动器进入高侧或低侧制动状态，便会触发采样保持。为了利用消隐或采样保持功能，需要通过一个输出保持电容器在放大器断开连接时稳定其输出。通常建议将该电容器置于 RC 滤波器配置中的串联电阻之后，以限制直接在放大器输出端看到的直接电容。

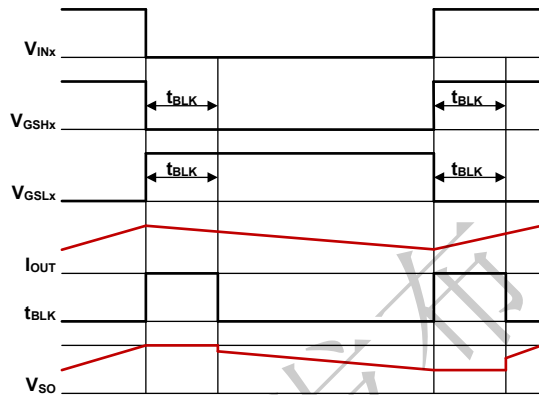


图 9-8. CA-DV8706xF-Q1 放大器消隐示例

图 9-8 显示了放大器消隐功能的一个示例。此功能可用于在开关转换期间将放大器输出设置为高阻态，但在默认条件下不使能。当放大器受到干扰时，可使用此功能。如图所示，在 GHx 或 GLx 上进行转换后，消隐功能会将放大器输出禁用一段时间。该时间段取决于通过 CSA\_BLK 寄存器设置进行配置的 t\_BLK 设置。

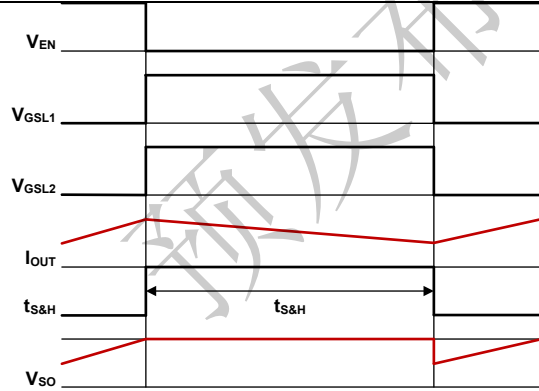


图 9-9. CA-DV8706xF-Q1 放大器采样保持示例

图 9-9 显示了放大器采样保持功能的一个示例。当电流在 H 桥中再循环时，可使用此功能将放大器输出设置为高阻态，但在默认情况下不需要此功能。如果分流电阻配置在 H 桥的低侧或高侧，在电流再循环期间电流信息丢失的情况下，此功能会很有用。如图所示，由于输出电容器将保持充电状态，采样保持功能将使放大器输出保持先前的状态。当 H 桥退出再循环状态时，放大器将恢复正常运行。

9.3.7. 逻辑管脚

9.3.7.1. 电平输入引脚 (DRVOFF, IN1/EN, IN2/PH, nHIZx, nSLEEP, nSCS, SCLK, SDI)

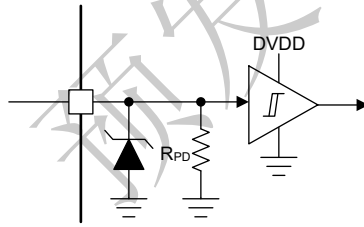


图 9-10. 输入引脚结构

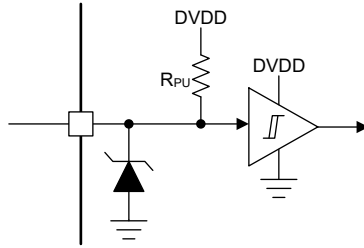


图 9-11. 输入引脚结构 (nSCS)

9.3.7.2. 逻辑电平推挽输出 (SDO)

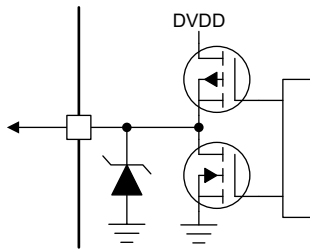


图 9-12. 推挽输出结构 (SDO)

9.3.7.3. 逻辑电平开漏输出 (nFAULT)

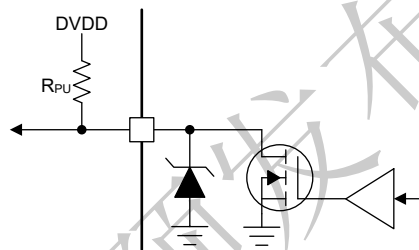


图 9-13. 开漏输出结构 (nFAULT)



## 9.3.7.4. 四电平输入 ( GAIN )

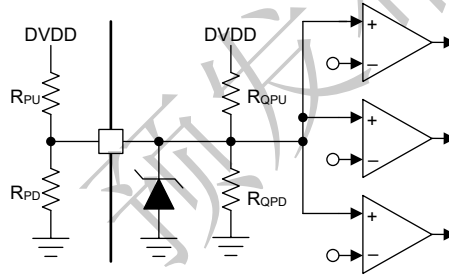


图 9-14. 四电平输入结构 ( GAIN , MODE )

## 9.3.7.5. 六电平输入 ( IDRIVE, VDS )

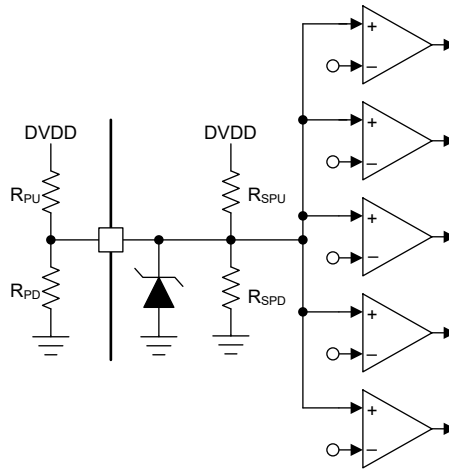


图 9-15. 六电平输入结构 ( IDRIVE , VDS )

## 9.3.8. 保护和诊断

## 9.3.8.1. 栅极驱动器禁用和启用 ( DRVOFF 和 EN\_DRV )

CA-DV8706xF-Q1 通过 DRVOFF 引脚禁用专用驱动器。对 DRVOFF 进行置位后，无论引脚或 SPI 输入如何，都将启用栅极驱动器下拉。

在 SPI 器件型号上，EN\_DRV 功能用于受控的上电序列。器件上电后，栅极驱动器保持禁用状态，直到 EN\_DRV 寄存器位被置位。这样便可以让系统在启用栅极驱动器之前上电并执行配置序列。H/W 器件不具有此功能，驱动器将在上电后自动启用。

## 9.3.8.2. 故障复位 ( CLR\_FLT )

CA-DV8706xF-Q1 提供了特定序列来清除驱动器的故障条件并恢复运行。此功能通过 CLR\_FLT 寄存器位提供。若要清除故障报告，必须在故障条件消失后对 CLR\_FLT 寄存器位进行置位。置位后，驱动器将清除故障并复位 CLR\_FLT 寄存器位。该功能仅适用于 SPI 器件型号。在 H/W 器件型号上，一旦该条件消失，所有故障都将自动恢复。

## 9.3.8.3. DVDD 逻辑电源上电复位 ( DVDD\_POR )

在任何时候，如果 DVDD 引脚上的输入逻辑电源电压低于  $V_{DVDD\_POR}$  阈值的时间超过  $t_{DVDD\_POR\_DG}$  时间，或 nSLEEP 引脚被置为低电平，则器件会进入其非运行状态，从而禁用栅极驱动器、电荷泵和保护监控器。当 DVDD 欠压条件消失或 nSLEEP 引脚被置位为高电平后，器件将恢复正常运行。在 DVDD 上电复位 (POR) 之后，POR 寄存器位会被置位，直到发出 CLR\_FLT。

**9.3.8.4. PVDD 电源欠压监控器 (PVDD\_UV)**

在任何时候，如果 PVDD 引脚上的电源电压低于 VPVDD\_UV 阈值的时间超过 tPVDD\_UV\_DG 时间，则 CA-DV8706xF-Q1 会检测到 PVDD 欠压条件。检测到欠压条件后，将启用栅极驱动器下拉电阻，禁用电荷泵，并且 nFAULT 引脚、FAULT 寄存器位和 PVDD\_UV 寄存器位会被置位。

在 SPI 器件型号上，PVDD 欠压监控器可以在通过 PVDD\_UV\_MODE 寄存器设置进行设定的两种不同模式下执行恢复。

- 锁存故障模式：欠压条件消失后，仍会锁存故障状态且电荷泵保持禁用状态，直到发出 CLR\_FLT。
- 自动恢复模式：欠压条件消失后，nFAULT 引脚和 FAULT 寄存器位将自动清零，且电荷泵将自动重新启用。

在发出 CLR\_FLT 之前，PVDD\_UV 寄存器位将保持锁存状态。

在 H/W 器件型号上，PVDD 欠压监控器将固定为自动恢复模式。

**9.3.8.5. PVDD 电源过压监控器 (PVDD\_OV)**

如果 PVDD 引脚上的电源电压高于 VPVDD\_OV 阈值的时间超过 tPVDD\_OV\_DG 时间，则 CA-DV8706xF-Q1 会检测到 PVDD 过压条件，并根据 PVDD\_OV\_MODE 寄存器设置执行相应的操作。过压阈值和抗尖峰脉冲时间可通过 PVDD\_OV\_LVL 和 PVDD\_OV\_DG 寄存器设置进行调整。

在 SPI 器件型号上，PVDD 过压监控器可以在通过 PVDD\_OV\_MODE 寄存器设置进行设定的四种不同模式下执行响应和恢复。

- 锁存故障模式：检测到过压条件后，将启用栅极驱动器下拉电阻，并且 nFAULT 引脚、FAULT 寄存器位和 PVDD\_OV 寄存器位会被置位。过压条件消失后，仍会锁存故障状态，直到发出 CLR\_FLT。
- 自动恢复模式：检测到过压条件后，将启用栅极驱动器下拉电阻，并且 nFAULT 引脚、FAULT 寄存器位和 PVDD\_OV 寄存器位会被置位。过压条件消失后，nFAULT 引脚和 FAULT 寄存器位将自动清零，驱动器将自动重新启用。在发出 CLR\_FLT 之前，PVDD\_OV 寄存器位将保持锁存状态。
- 仅警告报告模式：在 WARN 和 PVDD\_OV 寄存器位中报告 PVDD 过压条件。器件不会执行任何操作。在发出 CLR\_FLT 之前，警告将保持锁存状态。
- 禁用模式：PVDD 过压监控器被禁用，不会响应或报告。

在 H/W 器件型号上，PVDD 过压监控器被禁用。

**9.3.8.6. VCP 电荷泵欠压锁定 (VCP\_UV)**

在任何时候，如果 VCP 引脚上的电压低于 VVCP\_UV 阈值的时间超过 tVCP\_UV\_DG 时间，则 CA-DV8706xF-Q1 会检测到 VCP 欠压条件。检测到欠压条件后，将启用栅极驱动器下拉电阻，并且 nFAULT 引脚、FAULT 寄存器位和 VCP\_UV 寄存器位会被置位。欠压阈值可通过 VCP\_UV\_LVL 寄存器设置进行调整。

在 SPI 器件型号上，VCP 欠压监控器可以在通过 VCP\_UV\_MODE 寄存器设置进行设定的两种不同模式下执行恢复。

- 锁存故障模式：此外，会在锁存故障模式下禁用电荷泵。欠压条件消失后，仍会锁存故障状态且电荷泵保持禁用状态，直到发出 CLR\_FLT。
- 自动恢复模式：欠压条件消失后，nFAULT 引脚和 FAULT 寄存器位将自动清零，驱动器将自动重新启用。在发出 CLR\_FLT 之前，VCP\_UV 寄存器位将保持锁存状态。

在 H/W 器件型号上，VCP 欠压监控器将固定为自动恢复模式，且阈值固定为 2V。

**9.3.8.7. MOSFET  $V_{DS}$  过流保护 (VDS\_OCP)**

如果 VDS 过流比较器上的电压高于 VDS\_LVL 的时间超过 tDS\_DG 时间，则 CA-DV8706xF-Q1 会检测到 VDS 过流条件。电压阈值和抗尖峰脉冲时间可通过 VDS\_LVL 和 VDS\_DG 寄存器设置进行调整。此外，在独立半桥和分离式 HS/LS PWM 控制 (BRG\_MODE = 00b、11b) 中，可将器件配置为禁用所有半桥，或仅通过 VDS\_IND 寄存器设置来禁用了故障的相关半桥。

在 SPI 器件型号上，VDS 过流监控器可以在通过 VDS\_MODE 寄存器设置进行设定的四种不同模式下执行响应和恢复。

- 锁存故障模式：检测到过流事件后，将启用栅极驱动器下拉电阻，并且 nFAULT 引脚、FAULT 寄存器位和相关的 VDS 寄存器位会被置位。过流事件消失后，仍会锁存故障状态，直到发出 CLR\_FLT。

- 逐周期模式：检测到过流事件后，将启用栅极驱动器下拉电阻，并且 nFAULT 引脚、FAULT 寄存器位和相关的 VDS 寄存器位会被置位。下一个 PWM 输入将清除 nFAULT 引脚和 FAULT 寄存器位，并自动重新启用驱动器。相关的 VDS 寄存器位将保持置位状态，直到发出 CLR\_FLT。
- 仅警告报告模式：在 WARN 和相关 VDS 寄存器位中报告过流事件。器件不会执行任何操作。在发出 CLR\_FLT 之前，警告将保持锁存状态。
- 禁用模式：VDS 过流监控器被禁用，不会响应或报告。

在 H/W 器件型号上，VDS 过流模式固定为逐周期，tVDS\_DG 固定为 4  $\mu$ s。对于独立半桥和分离式 HS/LS PWM 控制模式，会自动启用独立半桥关断功能。此外，可通过 VDS 引脚多电平输入电平 6 来禁用 VDS 过流保护功能。当发生 VDS 过流故障时，可配置栅极下拉电流，以便增加或减少禁用外部 MOSFET 的时间。这有助于避免在大电流短路条件下关断速度过慢的问题。此设置通过 SPI 器件上的 VDS\_IDRVN 寄存器设置进行配置。在硬件器件上，此设置自动匹配已设定的 IDRVN 电流。

#### 9.3.8.8. SP-SN 过流保护 (SP\_OCP)

如果 SP 过流比较器上的电压高于 VSP\_LVL 的时间超过 tSP\_DG 时间，则 CA-DV8706xF-Q1 会检测到 SP 过流条件。电压阈值和抗尖峰脉冲时间可通过 SP\_LVL 和 SP\_DG 寄存器设置进行调整。

在 SPI 器件型号上，SP 过流监控器可以在通过 SP\_MODE 寄存器设置进行设定的四种不同模式下执行响应和恢复。

- 锁存故障模式：检测到过流事件后，将启用栅极驱动器下拉电阻，并且 nFAULT 引脚、FAULT 寄存器位和相关的 SP\_OCP 寄存器位会被置位。过流事件消失后，仍会锁存故障状态，直到发出 CLR\_FLT。
- 逐周期模式：检测到过流事件后，将启用栅极驱动器下拉电阻，并且 nFAULT 引脚、FAULT 寄存器位和相关的 SP\_OCP 寄存器位会被置位。下一个 PWM 输入将清除 nFAULT 引脚和 FAULT 寄存器位，并自动重新启用驱动器。相关的 SP\_OCP 寄存器位将保持置位状态，直到发出 CLR\_FLT。
- 仅警告报告模式：在 WARN 和相关 SP\_OCP 寄存器位中报告过流事件。器件不会执行任何操作。在发出 CLR\_FLT 之前，警告将保持锁存状态。
- 禁用模式：SP 过流监控器被禁用，不会响应或报告。

在 H/W 器件型号上，SP 过流模式固定为逐周期，tSP\_DG 固定为 4  $\mu$ s。

#### 9.3.8.9. 栅极驱动器故障 (VGS\_GDF)

如果 VGS 电压越过 VGS\_LVL 比较器电平的时间未超过 tDRIVE 时间，则 CA-DV8706xF-Q1 会检测到 VGS 栅极故障条件。此外，在独立半桥和分离式 HS/LS PWM 控制 (BRG\_MODE = 00b、11b) 中，可将器件配置为禁用所有半桥，或仅通过 VGS\_IND 寄存器设置来禁用发生了栅极故障的相关半桥。

在 SPI 器件型号上，VGS 栅极故障监控器可以在通过 VGS\_MODE 寄存器设置进行设定的四种不同模式下执行响应和恢复。

- 锁存故障模式：检测到栅极故障事件后，将启用栅极驱动器下拉电阻，并且 nFAULT 引脚、FAULT 寄存器位和相关的 VGS 寄存器位会被置位。栅极故障事件消失后，仍会锁存故障状态，直到发出 CLR\_FLT。
- 逐周期模式：检测到栅极故障事件后，将启用栅极驱动器下拉电阻，并且 nFAULT 引脚、FAULT 寄存器位和相关的 VGS 寄存器位会被置位。下一个 PWM 输入将清除 nFAULT 引脚和 FAULT 寄存器位，并自动重新启用驱动器。相关的 VGS 寄存器位将保持置位状态，直到发出 CLR\_FLT。
- 仅警告报告模式：在 WARN 和相关 VGS 寄存器位中报告过流事件。器件不会执行任何操作。在发出 CLR\_FLT 之前，警告将保持锁存状态。
- 禁用模式：VGS 栅极故障监控器被禁用，不会响应或报告。

在 H/W 器件型号上，VGS 栅极故障模式固定为逐周期，tDRIVE 固定为 4  $\mu$ s。对于独立半桥和分离式 HS/LS PWM 控制模式，会自动启用独立半桥关断功能。此外，可通过 VDS 引脚多电平输入电平 6 来禁用 VGS 栅极故障保护功能。

#### 9.3.8.10. 热警告 (OTW)

如果裸片温度超过 TOTW 热警告阈值，则 CA-DV8706SF-Q1 会检测到过热警告并对 WARN 和 OTW 寄存器位进行置位。过热条件消失后，WARN 和 OTW 寄存器位将保持置位状态，直到发出 CLR\_FLT。

在 H/W 器件型号上，不会检测或报告过热警告。

### 9.3.8.11. 热关断 (OTSD)

如果裸片温度超过 TOTSD 热关断阈值，则 CA-DV8706xF-Q1 会检测到过热故障。检测到过热故障后，将启用栅极驱动器下拉电阻，禁用电荷泵，并且 nFAULT 引脚、FAULT 寄存器位和 OTSD 寄存器位会被置位。过热条件消失后，仍会锁存故障状态，直到发出 CLR\_FLT。

在 H/W 器件型号上，过热条件消失后，nFAULT 引脚将自动清零，且驱动器和电荷泵将自动重新启用。

### 9.3.8.12. 离线短路和开路负载检测 (OOL 和 OSC)

该器件提供了必要的硬件来对外部功率 MOSFET 和负载执行离线短路和开路负载诊断。这是通过连接到外部半桥开关节点的 SHx 引脚上的集成上拉和下拉电流源来实现的。离线诊断由 OLSC\_CTRL 寄存器中的相关寄存器位进行控制。首先，需要通过 OLSC\_EN 寄存器设置来启用离线诊断模式。然后，可通过 PD\_SHx 和 PU\_SHx 寄存器设置来启用各个电流源。

将通过内部 VDS 比较器持续监控 SHx 引脚上的电压。在诊断状态期间，VDS 比较器将在 SPI 寄存器内在相关 VDS 寄存器状态位中报告 SHx 引脚节点上的实时电压反馈。

在启用离线诊断之前，建议通过 EN\_DRV 寄存器设置将外部 MOSFET 半桥置于禁用状态。此外，应将 VDS 比较器阈值 (VDS\_LVL) 调整为 1V 或更高，确保有足够的余量用于内部阻断二极管正向压降。

若要正确执行离线诊断序列，应遵循以下步骤：

- 将 EN\_DRV 控制寄存器设置为 0b 以禁用输出驱动器。
- 将 OLSC\_EN 控制寄存器设置为 1b 以启用离线诊断。
- 相应地启用 PD\_SHx 和 PU\_SHx 控制寄存器。
- 回读 VDS\_x 状态寄存器以确定输出状态。
- 禁用 PD\_SHx 和 PU\_SHx 控制寄存器。
- 将 OLSC\_EN 控制寄存器设置为 0b 以禁用离线诊断。
- 将 EN\_DRV 控制寄存器设置为 1b 以再次启用输出驱动器。

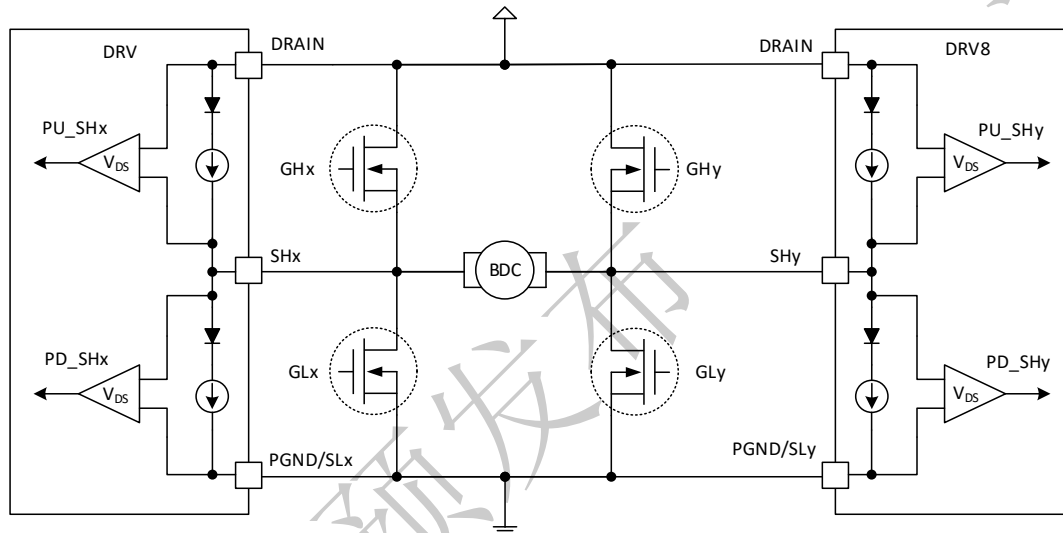


图 9-16. 离线诊断



## 9.3.8.13. 故障检测和响应汇总表

表 9-8. 故障检测和响应汇总

故障	触发条件	模式	数字电路	ChargePump	Driver	CSA	故障体现	对应的 SPI 位	
禁用 Driver	DRVOFF=High	N/A	运行	运行	Istrong 下拉	运行	N/A	N/A	
DVDD POR	DVDD<V <sub>DVDD_POR</sub>	N/A	复位	禁用	半有源下拉	禁用	SPI	POR	
PVDD 欠压	PVDD<V <sub>PVDD_UV</sub>	锁存	运行	禁用	半有源下拉	禁用	nFAULT, SPI	UV, PVDD_UV	
		自动恢复	运行	禁用	半有源下拉	禁用	nFAULT, SPI		
PVDD 过压	PVDD>V <sub>PVDD_OV</sub>	锁存	运行	运行	Istrong 下拉	运行	nFAULT, SPI	OV, PVDD_OV	
		自动恢复	运行	运行	Istrong 下拉	运行	nFAULT, SPI		
		仅警告	运行	运行	运行	运行	SPI		OV, PVDD_OV, WARN
		禁用	运行	运行	运行	运行	N/A		N/A
VCP 欠压	VCP<V <sub>VCP_UV</sub>	锁存	运行	禁用	半有源下拉	禁用	nFAULT, SPI	UV, VCP_UV	
		自动恢复	运行	运行	半有源下拉	禁用	nFAULT, SPI		
VDS 过流	VDS>V <sub>VDS_LVL</sub>	锁存	运行	运行	I <sub>VDS_IDRVN</sub> 下拉	运行	nFAULT, SPI	DS_GS, VDS_X	
		逐周期	运行	运行	I <sub>VDS_IDRVN</sub> 下拉	运行	nFAULT, SPI		
		仅警告	运行	运行	运行	运行	SPI		DS_GS, VDS_X, WARN
		禁用	运行	运行	运行	运行	N/A		N/A
SP 过流	SP-SN>V <sub>SP(OCP)</sub>	锁存	运行	运行	I <sub>VDS_IDRVN</sub> 下拉	运行	nFAULT, SPI	SP_OCP	
		逐周期	运行	运行	I <sub>VDS_IDRVN</sub> 下拉	运行	nFAULT, SPI		
		仅警告	运行	运行	运行	运行	SPI		SP_OCP, WARN
		禁用	运行	运行	运行	运行	N/A		N/A
VGS 栅极故障	VGS 电压异常	锁存	运行	运行	Istrong 下拉	运行	nFAULT, SPI	DS_GS, VGS_X	
		逐周期	运行	运行	Istrong 下拉	运行	nFAULT, SPI		
		仅警告	运行	运行	运行	运行	WARN, SPI		
		禁用	运行	运行	运行	运行	N/A		N/A
热警告	T <sub>J</sub> >T <sub>OTW</sub>	仅警告	运行	运行	运行	运行	SPI	OT, OTW, WARN	
热关断	8706SF, T <sub>J</sub> >T <sub>OTSD</sub>	锁存	运行	禁用	半有源下拉	禁用	nFAULT, SPI	OT, OTSD	
	8706HF, T <sub>J</sub> >T <sub>OTSD</sub>	自动恢复	运行	禁用	半有源下拉	禁用	nFAULT	N/A	
离线开路负载	不适用	MCU	运行	运行	下拉	运行	SPI	VDS_X	
离线短路	不适用	MCU	运行	运行	下拉	运行	SPI	VDS_X	

## 9.4. 器件功能模式

### 9.4.1. 非运行或睡眠状态

当 nSLEEP 引脚为逻辑低电平或 DVDD 电源低于 VDVDD\_POR 阈值时，器件进入低功耗睡眠状态以减少器件的静态电流消耗。在这种状态下，除了 nSLEEP 引脚上的低功耗监控器外，所有主要功能块都被禁用。此情况下会为外部 MOSFET 栅极提供无源栅极下拉电阻，使 MOSFET 保持在关断状态。

### 9.4.2. 待机状态

当 nSLEEP 引脚为逻辑高电平且 DVDD 输入已超过 VDVDD\_POR 阈值时，器件将在经过 tWAKE 延迟时间后进入上电待机状态。数字内核和 SPI 通信将处于运行状态，但电荷泵和栅极驱动器将保持禁用状态，直到 PVDD 输入超过 VPVDD\_UV 阈值。在这种状态下，可以对 SPI 寄存器进行编程并报告故障，但不能进行栅极驱动器操作。

### 9.4.3. 运行状态

当 nSLEEP 引脚为逻辑高电平，DVDD 输入已超过 VDVDD\_POR 阈值，并且 PVDD 输入已超过 VPVDD\_UV 阈值时，器件将进入完全运行状态。在这种状态下，除了栅极驱动器外，所有主要功能块都处于运行状态。必须通过 EN\_DRV 寄存器位启用栅极驱动器，然后才能进入完全运行状态。

对于 H/W 器件型号，器件将在运行状态下自动启用驱动器。

## 9.5. 编程

### 9.5.1. SPI 接口

SPI 总线用于为 CA-DV8706SF-Q1 器件设置器件配置、工作参数，以及读取诊断信息。SPI 在从模式下运行，并连接到主控制器。SPI 输入数据 (SDI) 字中包含一个 16 位的字（包括一条 8 位命令和 8 位数据）。SPI 输出数据 (SDO) 字中包含状态指示位，然后是正在访问的寄存器数据（对于读取命令）或者是空值（对于写入命令）。图 9-17 展示了 MCU 和 SPI 从驱动器之间的数据序列。

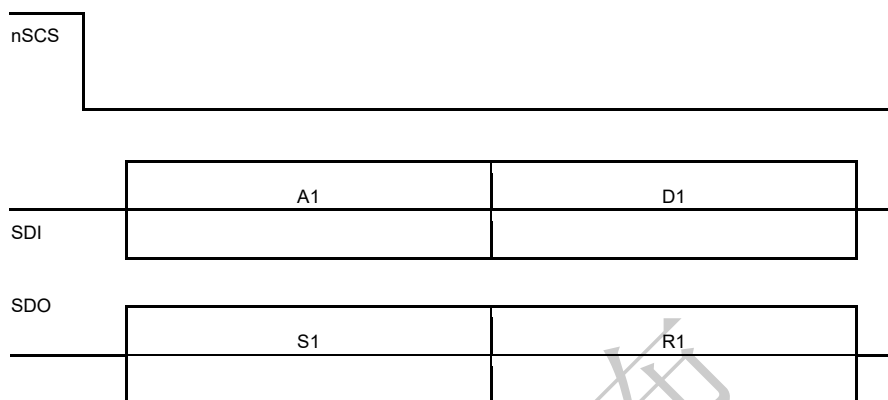


图 9-17. SPI 数据帧

有效帧必须满足以下条件：

- 当 nSCS 引脚从高电平转换为低电平，以及从低电平转换为高电平时，SCLK 引脚应该为低电平。
- 在字之间，nSCS 引脚应被拉为高电平。
- 当 nSCS 引脚被拉为高电平时，SCLK 和 SDI 引脚上的任何信号都将被忽略，并且 SDO 引脚处于高阻态。
- 数据会在 SCLK 下降沿被捕捉，并在 SCLK 上升沿传播。
- 最高有效位 (MSB) 最先移入和移出。
- 必须历经完整的 16 个 SCLK 周期，事务才有效。
- 如果发送到 SDI 引脚的数据字少于 16 位或多于 16 位，则会发生帧错误并且数据字会被忽略。

### 9.5.2. SPI 格式

SDI 输入数据的字长为 16 位，包含以下格式：

- 1 个读/写位，W（位 B14）
- 6 个地址位，A（位 B13 到 B8）



- 8 个数据位，D（位 B7 到 B0）

SDO 输出数据的字长为 16 位，IC 状态寄存器占前 8 位。报告字是所访问的寄存器的内容。

对于写命令 (W0 = 0)，响应字由故障状态指示位及随后的 8 个空位组成。

对于读命令 (W0 = 1)，响应字由故障状态指示位及随后寄存器中目前正在读取的数据组成。

表 9-9. SDI 输入数据字格式

	读/写		地址						数据							
位	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
数据	0	W0	A5	A4	A3	A2	A1	A0	D7	D6	D5	D4	D3	D2	D1	D0

表 9-10. SDO 输出数据字格式

	IC 状态								报告							
位	B15	B14	B13	B12	B11	B10	B9	B8	B7	B6	B5	B4	B3	B2	B1	B0
数据	1	1	FAULT	WARN	DS_G S	UV	OV	OT	D7	D6	D5	D4	D3	D2	D1	D0

9.5.3. 用于连接多个从器件的 SPI 接口

将多个 CA-DV8706SF-Q1 器件连接到主控制器时，可以使用或不使用菊花链。如果不使用菊花链的情况下要将“n”个 CA-DV8706SF-Q1 器件连接到主控制器，则必须针对 nSCS 引脚利用来自主控制器的“n”个 I/O 资源，如图 9-18 所示。然而，如果使用菊花链配置，则可利用单条 nSCS 线路来连接多个 CA-DV8706SF-Q1 器件图 9-19。

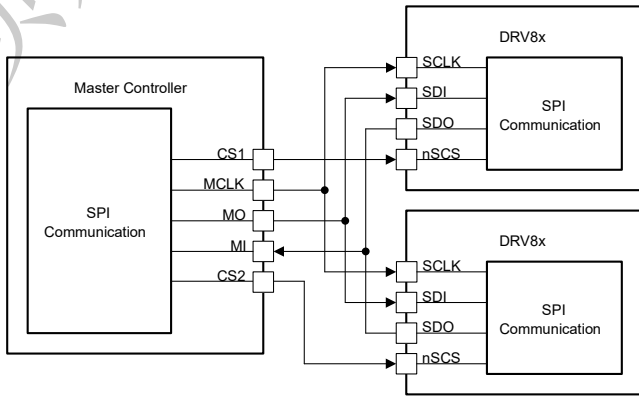


图 9-18. 不使用菊花链时的 SPI 操作

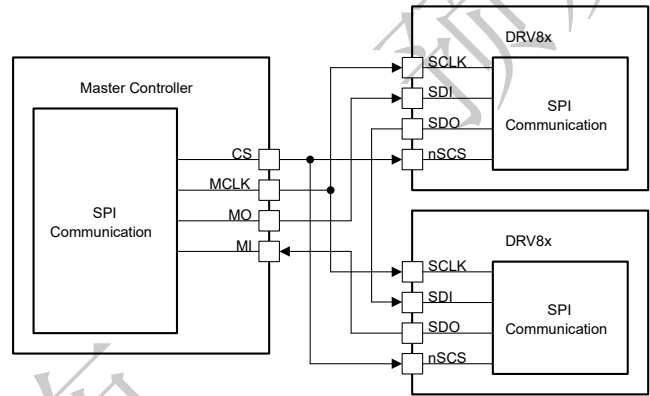


图 9-19. 使用菊花链时的 SPI 操作

9.5.3.1. 用于连接菊花链中多个从器件的 SPI 接口

当多个器件与同一个 MCU 进行通信时，可以采用菊花链配置连接 CA-DV8706SF-Q1 器件，以节省 GPIO 端口。图 9-20 显示了 3 个器件串行连接时的拓扑以及相应的波形。

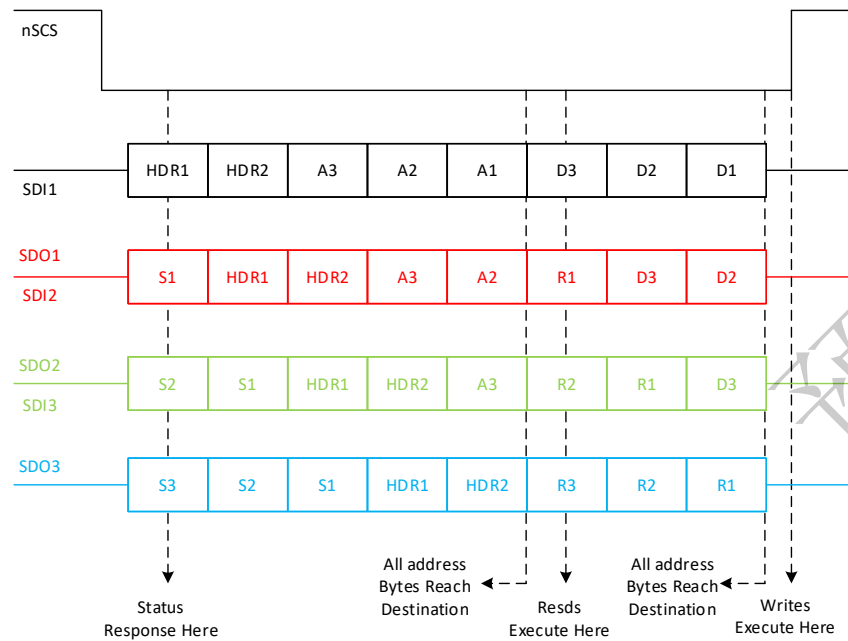
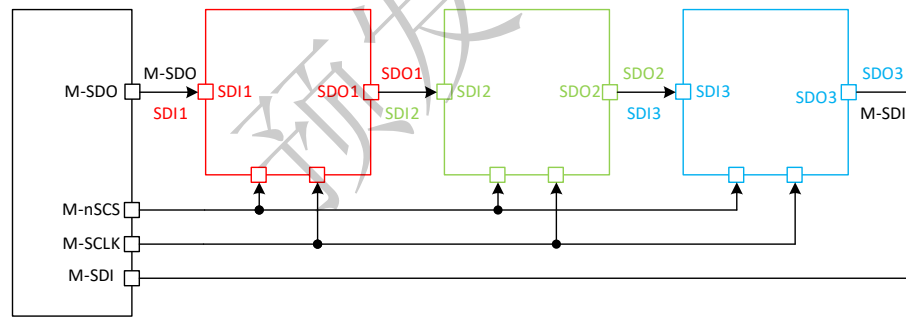


图 9-20. 菊花链 SPI 操作

如上所示菊花链中的第一个器件按以下格式从主控制器接收数据。请查看图 9-20 中的 SDI1

- 2 字节的标头
- 3 字节的地址
- 3 字节的数据

通过菊花链发送数据后，主控制器会按以下格式接收数据。请查看图 9-20 中的 SDO3

- 3 字节的状态
- 2 字节的标头（应与控制器发送的信息相同）
- 3 字节的报告

标头字节包含有关键中连接的器件数量的信息，以及一个全局清除故障命令，该命令将在芯片选择 (nSCS) 信号的上升沿清除所有器件的故障寄存器。N5 至 N0 是 6 位，专用于显示菊花链中器件的数量，如图 9-21 所示。每个菊花链最多可串行连接 63 个器件。

HDR2 寄存器的 5 个 LSB 是不用考虑位，MCU 可以使用这些位来确定菊花链连接的完整性。对于两个 MSB，标头字节必须以 1 和 0 开头。

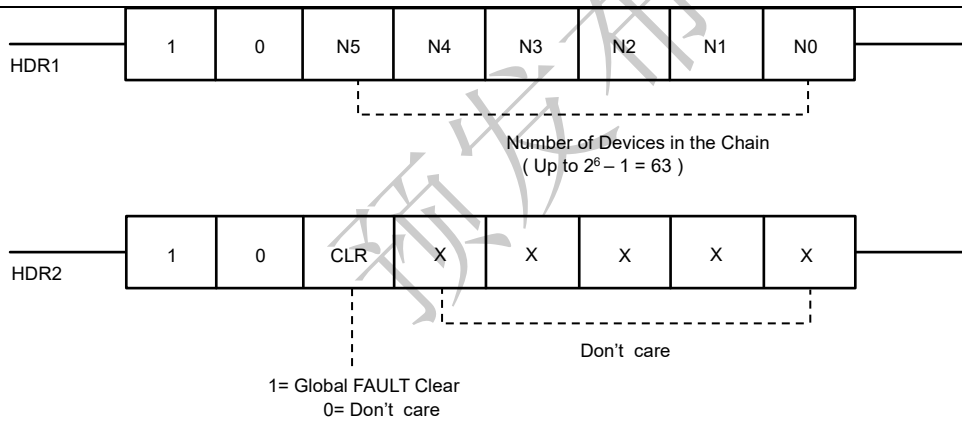


图 9-21. 标头位

状态字节提供了菊花链中每个器件的故障状态寄存器的相关信息，如图 9-22 所示。因此，主控制器不必启动读取命令即可从任何特定器件读取故障状态。这样可以减少控制器读取命令的数量，并使系统更有效地确定器件中标记的故障条件。

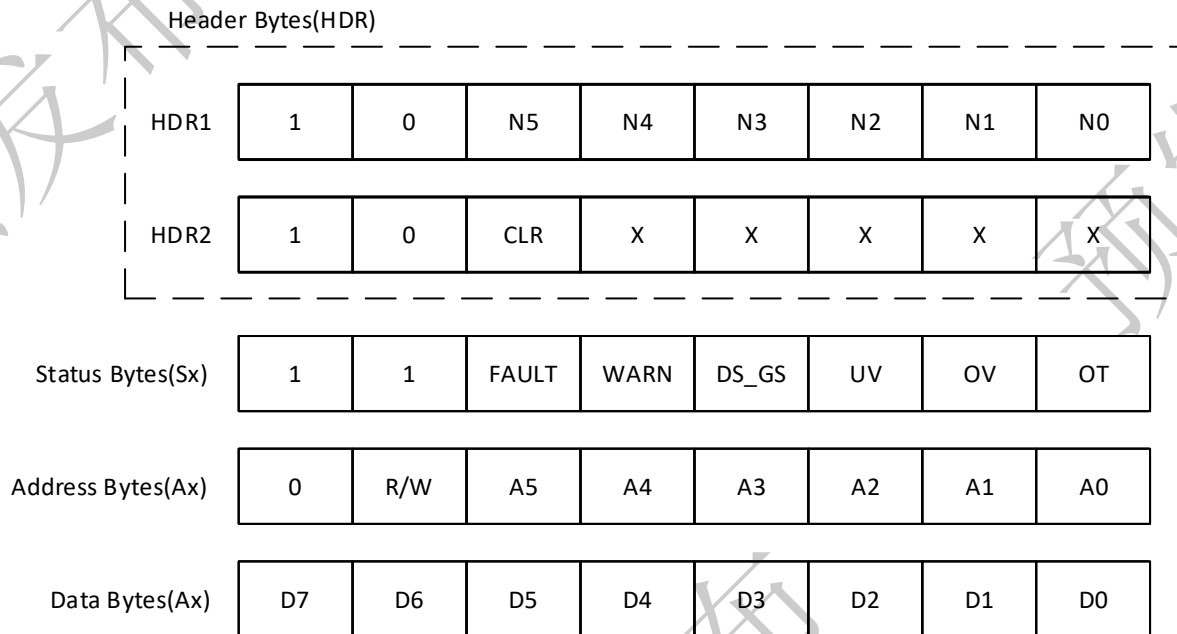
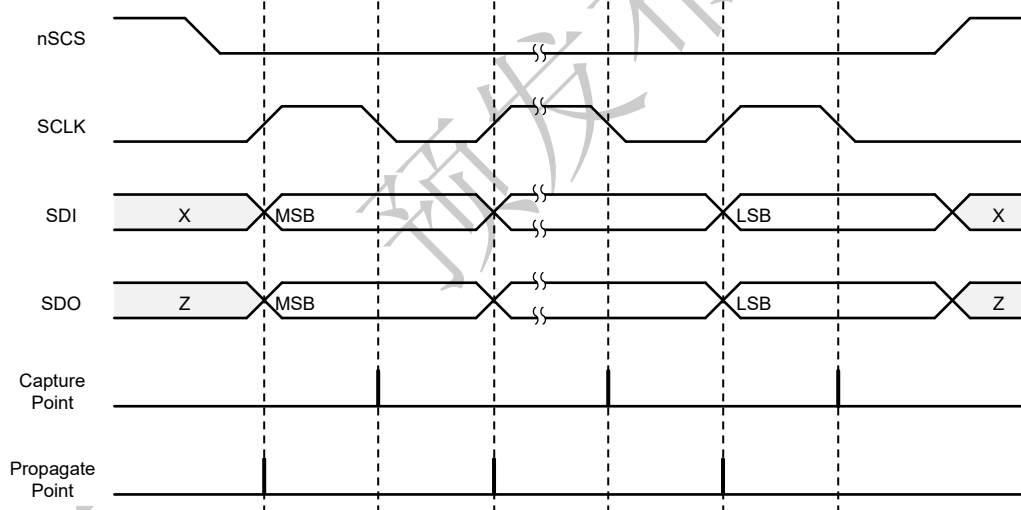


图 9-22. 菊花链读取寄存器

当数据通过器件时，它通过计算接收到的状态字节数（后跟第一个标头字节）来确定自身在链中的位置。例如，在这种包含 3 个器件的配置中，菊花链中的器件 2 会先接收两个状态字节，然后再依次接收 HDR1 字节和 HDR2 字节。

根据两个状态字节，器件可以确定其位于链中的第二个位置，而通过 HDR2 字节，器件可以确定链中连接的器件数量。这样，器件只加载缓冲区中的相关地址和数据字节，并绕过其他位。该协议可实现更快的通信，而不会因为链中连接多达 63 个器件而增加系统延迟。

对于单器件连接，地址和数据字节保持不变。上图中显示的报告字节（R1 到 R3）是所访问的寄存器的内容。


**图 9-23. SPI 从器件时序图**

### 9.6. 寄存器映射

下表列出了该器件的存储器映射寄存器。未列出的所有寄存器地址都应视为保留的存储单元，并且不应修改寄存器内容。关于保留的存储单元的说明仅供参考。

**表 9-11. 寄存器映射**

地址	名称	类型	默认值	D[7]	D[6]	D[5]	D[4]	D[3]	D[2]	D[1]	D[0]	
8706SF work page												
0x00	IC_STAT_1	R	1100_0000	SPI_OK	POR	FAULT	WARN	DS_GS	UV	OV	OT	
0x01	VGS_VDS_STAT	R	0000_0000	VGS_H1	VGS_L1	VGS_H2	VGS_L2	VDS_H1	VDS_L1	VDS_H2	VDS_L2	
0x02	IC_STAT_2	R	0000_0000	PVDD_UV	PVDD_OV	VCP_UV	OTW	OTSD	SP_OCP	SCLK_FLT	ADDR_FLT	
0x03	RSVD_STAT	RW	0000_0000	RSVD								
0x04	IC_CTRL	RW	0000_0110	EN_DRV	SSC_DIS	IN1/EN_MODE	IN2/PH_MODE	LOCK			CLR_FLT	
0x05	BRG_CTRL	RW	0000_0000	VGS_HS_DIS	BRG_MODE		BRG_FW	S_IN1/EN	S_IN2/PH	S_HIZ1	S_HIZ2	
0x06	DRV_CTRL_1	RW	1111_1111	IDRVP_HS				IDRVN_HS				
0x07	DRV_CTRL_2	RW	1111_1111	IDRVP_LS				IDRVN_LS				
0x08	DRV_CTRL_3	RW	0010_0000	VGS_MODE		VGS_TDRV		VGS_TDEAD			VGS_IND	
0x09	VDS_CTRL_1	RW	0010_0000	VDS_MODE		VDS_DG		VDS_IDRVN		VGS_LVL	VDS_IND	
0x0A	VDS_CTRL_2	RW	1101_1101	VDS_HS_LVL				VDS_LS_LVL				
0x0B	OLSC_CTRL	RW	0000_0000	RSVD			OLSC_EN	PU_SH1	PD_SH1	PU_SH2	PD_SH2	
0x0C	UVLO_CTRL	RW	0001_0100	PVDD_UV_MODE	PVDD_OV_MODE		PVDD_OV_DG		PVDD_OV_LVL	VCP_UV_MODE	VCP_UV_LVL	
0x0D	CSA_CTRL	RW	0000_0001	CSA_SH_EN	CSA_BLK_SEL	CSA_BLK			CSA_DIV	CSA_GAIN		
0x0E	EXT_CTRL	RW	0001_0000	RSVD		BLK_ALL_EN	VGS_TDRV_EXT	IDRVP_HS_EXT	IDRVN_HS_EXT	IDRVP_LS_EXT	IDRVN_LS_EXT	
0x0F	SSC_SP_CTRL	RW	0010_0000	SP_MODE			SP_DG		SP_LVL		SP_OCP	RSVD
0x10	OFFLINE_GATE	RW	0001_0000	RSVD			SSC_AMP		FORCE_H1_EN	FORCE_L1_EN	FORCE_H2_EN	FORCE_L2_EN

#### 9.6.1. 状态寄存器

表 9-12 列出了状态寄存器的存储器映射寄存器。表 9-12 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

**表 9-12. 状态寄存器**

地址	首字母缩写词	寄存器名称	节
----	--------	-------	---

0h	IC_STAT_1	IC 状态寄存器 1	转到
1h	VGS_VDS_STAT	VGS 和 VDS 状态寄存器	转到
2h	IC_STAT_2	IC 状态寄存器 2	转到
3h	RSVD_STAT	保留	转到

复杂的位访问类型经过编码可适应小型表单元。表 9-13 显示了适用于此部分中访问类型的代码。

表 9-13. 状态访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
复位或默认值		
-n		复位后的值或默认值

### 9.6.1.1 IC\_STAT\_1 寄存器 (地址 = 0h) [复位 = 80h]

IC\_STAT\_1 如图 9-24 所示, 并在表 9-14 中进行了说明。

返回汇总表。

状态寄存器以及主要的 IC 故障位

图 9-24. IC\_STAT\_1 寄存器

7	6	5	4	3	2	1	0
SPI_OK	POR	FAULT	WARN	DS_GS	UV	OV	OT
R-1b	R-1b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 9-14. IC\_STAT\_1 寄存器字段说明

位	字段	类型	复位	说明
7	SPI_OK	R	1b	未检测到 SPI 故障。 0b = 过去的帧中有一个或多个 SPI_CLK_FLT 或 SPI_ADR_FLT。 1b = 未检测到 SPI 故障。
6	POR	R	1b	表明存在上电复位条件。 0b = 未检测到上电复位条件。 1b = 检测到上电复位条件。
5	FAULT	R	0b	故障指示器。对应 nFAULT 引脚。
4	WARN	R	0b	警告指示器。
3	DS_GS	R	0b	VDS 和 VGS 指示器的逻辑“或”。
2	UV	R	0b	欠压指示器。
1	OV	R	0b	过压指示器。
0	OT	R	0b	OTW 和 OTSD 指示器的逻辑“或”。

### 9.6.1.2 VGS\_VDS\_STAT 寄存器 (地址 = 1h) [复位 = 0h]

VGS\_VDS\_STAT 如图 9-25 所示, 并在表 9-15 中进行了说明。

返回汇总表。

状态寄存器以及 VGS 和 VDS 故障位

图 9-25. VGS\_VDS\_STAT 寄存器

7	6	5	4	3	2	1	0
VGS_H1	VGS_L1	VGS_H2	VGS_L2	VDS_H1	VDS_L1	VDS_H2	VDS_L2
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 9-15. VGS\_VDS\_STAT 寄存器字段说明

位	字段	类型	复位	说明
7	VGS_H1	R	0b	表明高侧 1 MOSFET 上存在 VGS 栅极故障。
6	VGS_L1	R	0b	表明低侧 1 MOSFET 上存在 VGS 栅极故障。
5	VGS_H2	R	0b	表明高侧 2 MOSFET 上存在 VGS 栅极故障。
4	VGS_L2	R	0b	表明低侧 2 MOSFET 上存在 VGS 栅极故障。
3	VDS_H1	R	0b	表明高侧 1 MOSFET 上存在 VDS 过流故障。
2	VDS_L1	R	0b	表明低侧 1 MOSFET 上存在 VDS 过流故障。
1	VDS_H2	R	0b	表明高侧 2 MOSFET 上存在 VDS 过流故障。
0	VDS_L2	R	0b	表明低侧 2 MOSFET 上存在 VDS 过流故障。

### 9.6.1.3 IC\_STAT\_2 寄存器 (地址 = 2h) [复位 = 10h]

IC\_STAT\_2 如图 9-26 所示, 并在表 9-16 中进行了说明。

返回汇总表。

状态寄存器以及 IC 欠压、过压和 SPI 故障位

图 9-26. IC\_STAT\_2 寄存器

7	6	5	4	3	2	1	0
PVDD_UV	PVDD_OV	VCP_UV	OTW	OTSD	SP_OCP	SCLK_FLT	ADDR_FLT
R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b	R-0b

表 9-16. IC\_STAT\_2 寄存器字段说明

位	字段	类型	复位	说明
7	PVDD_UV	R	0b	表明 PVDD 引脚上存在欠压故障。
6	PVDD_OV	R	0b	表明 PVDD 引脚上存在过压故障。
5	VCP_UV	R	0b	表明 VCP 引脚上存在欠压故障。
4	OTW	R	0b	表明过热警告。
3	OTSD	R	0b	表明过热关断。
2	SP_OCP	R	0b	表明 SP 检测到过流。
1	SCLK_FLT	R	0b	表明 SPI 时钟 (帧) 故障。
0	ADDR_FLT	R	0b	表明 SPI 地址故障。

### 9.6.1.4 RSVD\_STAT 寄存器 (地址 = 3h) [复位 = 0h]

RSVD\_STAT 如图 9-27 所示, 并在表 9-17 中进行了说明。

返回汇总表。

保留状态寄存器

图 9-27. RSVD\_STAT 寄存器

7	6	5	4	3	2	1	0
RSVD							
R-0b							

表 9-17. RSVD\_STAT 寄存器字段说明

位	字段	类型	复位	说明
7-0	RSVD	R	0b	保留

### 9.6.2. 控制寄存器

表 9-18 列出了控制寄存器的存储器映射寄存器。表 9-18 中未列出的所有寄存器偏移地址都应视为保留的位置，并且不应修改寄存器内容。

表 9-18. 控制寄存器

地址	首字母缩写词	寄存器名称	节
4h	IC_CTRL	IC 控制寄存器	<a href="#">转到</a>
5h	BRG_CTRL	BRG 控制寄存器	<a href="#">转到</a>
6h	DRV_CTRL_1	DRV 控制寄存器 1	<a href="#">转到</a>
7h	DRV_CTRL_2	DRV 控制寄存器 2	<a href="#">转到</a>
8h	DRV_CTRL_3	DRV 控制寄存器 3	<a href="#">转到</a>
9h	VDS_CTRL_1	VDS 控制寄存器 1	<a href="#">转到</a>
Ah	VDS_CTRL_2	VDS 控制寄存器 2	<a href="#">转到</a>
Bh	OLSC_CTRL	OLSC 控制寄存器	<a href="#">转到</a>
Ch	UVOV_CTRL	UVOV 控制寄存器	<a href="#">转到</a>
Dh	CSA_CTRL	CSA 控制寄存器	<a href="#">转到</a>
Eh	EXT_CTRL	电流和时间参数扩展控制寄存器	<a href="#">转到</a>
Fh	SSC_SP_CTRL	运放输入端电流信号检测控制寄存器	<a href="#">转到</a>
10h	OFFLINE_GATE	离线开路/短路负载诊断控制寄存器	<a href="#">转到</a>

复杂的位访问类型经过编码可适应小型表单元。表 9-19 显示了适用于此部分中访问类型的代码。

表 9-19. 控制访问类型代码

访问类型	代码	说明
读取类型		
R	R	读取
写入类型		
W	W	写入
复位或默认值		
-n		复位后的值或默认值

#### 9.6.2.1 IC\_CTRL 寄存器 (地址 = 4h) [复位 = 6h]

IC\_CTRL 如图 9-28 所示，并在表 9-20 中进行了说明。



返回汇总表。

用于 IC 配置的控制寄存器

图 9-28. IC\_CTRL 寄存器

7	6	5	4	3	2	1	0
EN_DRV	SSC_DIS	IN1/EN_MODE	IN2/PH_MODE	LOCK		CLR_FLT	
R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-11b		R/W-0b	

表 9-20. IC\_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7	EN_DRV	R/W	0b	启用栅极驱动器位。 0b = 忽略驱动器输入，启用栅极驱动器无源下拉电阻。 1b = 栅极驱动器输出由数字输入启用和控制。
6	SSC_DIS	R/W	0b	禁用器件展频时钟。 0b = 启用。 1b = 禁用。
5	IN1/EN_MODE	R/W	0b	IN1/EN 控制模式。 0b = IN1/EN 信号来自 IN1/EN 引脚。 1b = IN1/EN 信号来自 S_IN1/EN 位。
4	IN2/PH_MODE	R/W	0b	IN2/PH 控制模式。 0b = IN2/PH 信号来自 IN2/PH 引脚。 1b = IN2/PH 信号来自 S_IN2/PH 位。
3-1	LOCK	R/W	11b	锁定和解锁控制寄存器。未列出的位设置无效。 011b = 解锁所有控制寄存器。 110b = 通过忽略除这些位之外的后续写入来锁定控制寄存器。
0	CLR_FLT	读/写	0b	清除锁存故障状态信息。 0b = 默认状态。 1b = 清除故障，完成后复位为 0b。

### 9.6.2.2 BRG\_CTRL 寄存器 (地址 = 5h) [复位 = 0h]

BRG\_CTRL 如图 9-29 所示，并在

表 9-21 中进行了说明。

返回汇总表。

用于桥接配置和输出控制的控制寄存器

图 9-29. BRG\_CTRL 寄存器

7	6	5	4	3	2	1	0
VGS_HS_DIS	BRG_MODE		BRG_FW	S_IN1/EN	S_IN2/PH	S_HIZ1	S_HIZ2
R/W-0b	R/W-0b		R/W-0b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 9-21. BRG\_CTRL 寄存器字段说明

位	字段	类型	复位	说明
---	----	----	----	----

7	VGS_HS_DIS	R/W	0b	基于 $V_{GS}$ 监控器的死区时间握手。 0b = 启用。 1b = 禁用。基于 $t_{DRIVE}$ 和 $t_{DEAD}$ 持续时间的栅极驱动转换。
6-5	BRG_MODE	R/W	00b	H 桥输入控制模式。 00b = 独立半桥输入控制。 01b = PH/EN H 桥输入控制。 10b = PWM H 桥输入控制。 11b = 分离式 HS/LS 螺线管输入控制。
4	BRG_FW	R/W	0b	H 桥控制续流设置。 0b = 低侧续流。 1b = 高侧续流。
3	S_IN1/EN	R/W	0b	用于 IN1/EN 输入信号的控制位。通过 IN1/EN_MODE 位启用。
2	S_IN2/PH	R/W	0b	用于 IN2/PH 输入信号的控制位。通过 IN2/PH_MODE 位启用。
1	S_HIZ1	R/W	0b	用于 HIZ1 输入信号的控制位。与 nHIZ1 引脚进行逻辑“或”操作。 仅在半桥输入控制模式下有效。 0b = 输出跟随 IN1/EN 信号。 1b = 启用栅极驱动器下拉电阻。半桥 1 高阻态
0	S_HIZ2	R/W	0b	用于 HIZ2 输入信号的控制位。与 nHIZ2 引脚进行逻辑“或”操作。 仅在半桥输入控制模式下有效。 0b = 输出跟随 IN2/PH 信号。 1b = 启用栅极驱动器下拉电阻。半桥 2 高阻态

9.6.2.3 DRV\_CTRL\_1 寄存器 (地址 = 6h) [复位 = FFh]

DRV\_CTRL\_1 如图 9-30 所示, 并在表 9-22 中进行了说明。

返回汇总表。

用于 DRV 栅极电流配置的控制寄存器

图 9-30. DRV\_CTRL\_1 寄存器

7	6	5	4	3	2	1	0
IDRVP_HS				IDRVN_HS			
R/W-1111b				R/W-1111b			

表 9-22. DRV\_CTRL\_1 寄存器字段说明

位	字段	类型	复位	说明
7-4	IDRVP_HS	R/W	1111b	高侧峰值供电上拉电流。需要和 IDRVP_HS_EXT 配合使用。 如果 IDRVP_HS_EXT=0b (默认), 则 0000b:0.5mA 0001b:1.1mA 0010b:2.1mA 0011b:3.3mA 0100b:4.3mA 0101b:6.5mA 0110b:8.6 mA 0111b:14 mA 1000b:16 mA 1001b:21 mA 1010b: 25 mA 1011b:28 mA 1100b:32 mA 1101b:41 mA 1110b:46 mA 1111b:64 mA 如果 IDRVP_HS_EXT=1b, 则 0000b:1.6 mA 0001b:5.5 mA 0010b:7.6 mA 0011b:9.7 mA 0100b:12 mA 0101b:18 mA 0110b:36 mA 0111b:52 mA 1000b:57 mA 1xx1b:96 mA
3-0	IDRVN_HS	R/W	1111b	高侧峰值受电下拉电流。需要和 IDRVN_HS_EXT 配合使用。 如果 IDRVN_HS_EXT=0b (默认), 则 0000b:0.5mA 0001b:1.1mA 0010b:2.1mA 0011b:3.3mA 0100b:4.3mA 0101b:6.5mA 0110b:8.6 mA 0111b:14 mA 1000b:16 mA 1001b:21 mA 1010b: 25 mA 1011b:28 mA 1100b:32 mA 1101b:41 mA 1110b:46 mA 1111b:64 mA 如果 IDRVN_HS_EXT=1b, 则 0000b:1.6 mA 0001b:5.5 mA 0010b:7.6 mA 0011b:9.7 mA 0100b:12 mA 0101b:18 mA 0110b:36 mA 0111b:52 mA 1000b:57 mA 1xx1b:96 mA

9.6.2.4 DRV\_CTRL\_2 寄存器 (地址 = 7h) [复位 = FFh]

DRV\_CTRL\_2 如图 9-31 所示, 并在表 9-23 中进行了说明。

返回汇总表。

用于 DRV 栅极电流配置的控制寄存器

图 9-31. DRV\_CTRL\_2 寄存器

7	6	5	4	3	2	1	0
IDRVP_LS				IDRVN_LS			
R/W-1111b				R/W-1111b			

表 9-23. DRV\_CTRL\_2 寄存器字段说明

位	字段	类型	复位	说明
7-4	IDRVP_LS	R/W	1111b	低侧峰值供电上拉电流。需要和 IDRVP_LS 配合使用。 如果 IDRVP_LS_EXT=0b (默认), 则 0000b:0.5mA 0001b:1.1mA 0010b:2.1mA 0011b:3.3mA 0100b:4.3mA 0101b:6.5mA 0110b:8.6 mA 0111b:14 mA 1000b:16 mA 1001b:21 mA 1010b: 25 mA 1011b:28 mA 1100b:32 mA 1101b:41 mA 1110b:46 mA 1111b:64 mA 如果 IDRVP_LS_EXT=1b, 则 0000b:1.6 mA 0001b:5.5 mA 0010b:7.6 mA 0011b:9.7 mA 0100b:12 mA 0101b:18 mA 0110b:36 mA 0111b:52 mA 1000b:57 mA 1xx1b:96 mA
3-0	IDRVN_LS	R/W	1111b	低侧峰值受电下拉电流。需要和 IDRVN_LS 配合使用。 如果 IDRVN_LS_EXT=0b (默认), 则 0000b:0.5mA 0001b:1.1mA 0010b:2.1mA 0011b:3.3mA 0100b:4.3mA 0101b:6.5mA 0110b:8.6 mA 0111b:14 mA 1000b:16 mA 1001b:21 mA 1010b: 25 mA 1011b:28 mA 1100b:32 mA 1101b:41 mA

				1110b:46 mA 1111b:64 mA 如果 IDRVN_LS_EXT=1b, 则 0000b:1.6 mA 0001b:5.5 mA 0010b:7.6 mA 0011b:9.7 mA 0100b:12 mA 0101b:18 mA 0110b:36 mA 0111b:52 mA 1000b:57 mA 1xx1b:96 mA
--	--	--	--	---

**9.6.2.5 DRV\_CTRL\_3 寄存器 (地址 = 8h) [复位 = 20h]**

DRV\_CTRL\_3 如图 9-32 所示, 并在表 9-24 中进行了说明。

返回汇总表。

用于 DRV 死区时间、栅极电流驱动时间和 VDS 消隐时间的控制寄存器

**图 9-32. DRV\_CTRL\_3 寄存器**

7	6	5	4	3	2	1	0
VGS_MODE		VGS_TDRV		VGS_TDEAD		VGS_IND	
R/W-00b		R/W-10b		R/W-000b		R/W-0b	

**表 9-24. DRV\_CTRL\_3 寄存器字段说明**

位	字段	类型	复位	说明
7-6	VGS_MODE	R/W	00b	VGS 栅极故障监控模式。 00b = 锁存故障。 01b = 逐周期。 10b = 仅警告报告。 11b = 禁用。
5-4	VGS_TDRV	R/W	10b	VGS 驱动时间和 VDS 监控消隐时间。 如果 VGS_TDRV_EXT=0b, 则 00b: 0.125us 01b: 0.25us 10b: 0.5us 11b: 0.75us 如果 VGS_TDRV_EXT=1b (默认), 则 00b: 1us 01b: 2us 10b: 4us 11b: 8us
3-1	VGS_TDEAD	R/W	000b	可插入的数字死区时间。 000b = 0ns 001b = 250ns 010b = 500ns 011b = 750ns 100b = 1000ns 101b = 2000ns 110b = 4000ns 111b = 8000ns

0	VGS_IND	R/W	0b	启用 VGS 独立关断模式。BRG_MODE = 00b、11b 时有效。 0b = 禁用。 1b = 启用。VGS 栅极故障只会将相关的半桥关断。
---	---------	-----	----	--

9.6.2.6 VDS\_CTRL\_1 寄存器 (地址 = 9h) [复位 = 20h]

VDS\_CTRL\_1 如图 9-33 所示, 并在表 9-25 中进行了说明。

返回汇总表。

用于 VDS 过流比较器的控制寄存器

图 9-33. VDS\_CTRL\_1 寄存器

7	6	5	4	3	2	1	0
VDS_MODE		VDS_DG		VDS_IDRVN		VGS_LVL	VDS_IND
R/W-00b		R/W-10b		R/W-00b		R/W-0b	R/W-0b

表 9-25. VDS\_CTRL\_1 寄存器字段说明

位	字段	类型	复位	说明
7-6	VDS_MODE	R/W	00b	VDS 过流监控模式。 00b = 锁存故障。 01b = 逐周期。 10b = 仅警告报告。 11b = 禁用。
5-4	VDS_DG	R/W	10b	VDS 过流监控抗尖峰脉冲时间。 00b = 1μs 01b = 2μs 10b = 4μs 11b = 8μs
3-2	VDS_IDRVN	R/W	00b	Vds_OCP 故障之后的 IdRVN 栅极下拉电流。 00b = 已设定的 IdRVN 01b = 8mA 10b = 31mA 11b = 62mA
1	VGS_LVL	R/W	0b	用于死区时间握手和栅极故障检测的 VGS 监控阈值。 0b = 1.4V 1b = 1.0 V
0	VDS_IND	R/W	0b	启用 VDS 独立关断模式。BRG_MODE = 00b、11b 时有效。 0b = 禁用。 1b = 启用。VDS 过流故障只会将相关的半桥关断。

9.6.2.7 VDS\_CTRL\_2 寄存器 (地址 = Ah) [复位 = DDh]

VDS\_CTRL\_2 如图 9-34 所示, 并在表 9-26 中进行了说明。

返回汇总表。

用于 VDS 阈值电压的控制寄存器

图 9-34. VDS\_CTRL\_2 寄存器

7	6	5	4	3	2	1	0
VDS_HS_LVL				VDS_LS_LVL			
R/W-1101b				R/W-1101b			

表 9-26. VDS\_CTRL\_2 寄存器字段说明

位	字段	类型	复位	说明
7-4	VDS_HS_LVL	R/W	1101b	高侧 VDS 过流监控阈值。 0000b = 0.06 V 00001b = 0.08V 0010b = 0.10 V 0011b = 0.12 V 0100b = 0.14 V 0101b = 0.16 V 0110b = 0.18 V 0111b = 0.2 V 1000b = 0.3 V 1001b = 0.4 V 1010b = 0.5 V 1011b = 0.6 V 1100b = 0.7 V 1101b = 1 V 1110b = 1.4 V 1111b = 2 V
3-0	VDS_LS_LVL	R/W	1101b	低侧 VDS 过流监控阈值。 0000b = 0.06 V 0001b = 0.08 V 0010b = 0.10 V 0011b = 0.12 V 0100b = 0.14 V 0101b = 0.16 V 0110b = 0.18 V 0111b = 0.2 V 1000b = 0.3 V 1001b = 0.4 V 1010b = 0.5 V 1011b = 0.6 V 1100b = 0.7 V 1101b = 1 V 1110b = 1.4 V 1111b = 2 V

#### 9.6.2.8 OLSC\_CTRL 寄存器 ( 地址 = Bh ) [复位 = 0h]

OLSC\_CTRL 如图 9-35 所示，并在表 9-27 中进行了说明。

返回汇总表。

离线诊断的控制寄存器。



图 9-35. OLSC\_CTRL 寄存器

7	6	5	4	3	2	1	0
RSVD		OLSC_EN		PU_SH1	PD_SH1	PU_SH2	PD_SH2
R/W-000b		R/W-0b		R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 9-27. OLSC\_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7-5	RSVD	R/W	000b	保留
4	OLSC_EN	R/W	0b	启用离线开路负载和短路诊断。 0b = 禁用。 1b = VDS 监控器设置为实时电压监控模式并启用诊断电流源。
3	PU_SH1	R/W	0b	半桥 1 上拉诊断电流源。必须设置 OLSC_EN 位才能使用。 0b = 禁用。 1b = 启用。
2	PD_SH1	R/W	0b	半桥 1 下拉诊断电流源。必须设置 OLSC_EN 位才能使用。 0b = 禁用。 1b = 启用。
1	PU_SH2	R/W	0b	半桥 2 上拉诊断电流源。必须设置 OLSC_EN 位才能使用。 0b = 禁用。 1b = 启用。
0	PD_SH2	R/W	0b	半桥 2 下拉诊断电流源。必须设置 OLSC_EN 位才能使用。 0b = 禁用。 1b = 启用。

9.6.2.9 UVOV\_CTRL 寄存器 (地址 = Ch) [复位 = 14h]

UVOV\_CTRL 如图 9-36 所示，并在表 9-28 中进行了说明。

返回汇总表。

用于欠压和过压监控的控制寄存器

图 9-36. UVOV\_CTRL 寄存器

7	6	5	4	3	2	1	0
PVDD_UV_MODE	PVDD_OV_MODE		PVDD_OV_DG		PVDD_OV_LVL	VCP_UV_MODE	VCP_UV_LVL
R/W-0b	R/W-00b		R/W-10b		R/W-1b	R/W-0b	R/W-0b

表 9-28. UVOV\_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7	PVDD_UV_MODE	R/W	0b	PVDD 电源欠压监控模式。 0b = 锁存故障。 1b = 自动恢复。

6-5	PVDD_OV_MODE	R/W	00b	PVDD 电源过压监控模式。 00b = 锁存故障。 01b = 自动恢复。 10b = 仅警告报告。 11b = 禁用。
4-3	PVDD_OV_DG	R/W	10b	PVDD 电源过压监控抗尖峰脉冲时间。 00b = 1μs 01b = 2μs 10b = 4μs 11b = 8μs
2	PVDD_OV_LVL	R/W	1b	PVDD 电源过压监控阈值。 0b = 21.5 V 1b = 28.5 V
1	VCP_UV_MODE	R/W	0b	VCP 电荷泵欠压监控模式。 0b = 锁存故障。 1b = 自动恢复。
0	VCP_UV_LVL	R/W	0b	VCP 电荷泵欠压监控阈值。 0b = 2.5 V 1b = 5 V

**9.6.2.10 CSA\_CTRL 寄存器 (地址 = Dh) [复位 = 1h]**

CSA\_CTRL 如图 9-37 所示, 并在表 9-29 中进行了说明。

返回汇总表。

用于电流分流放大器的控制寄存器

**图 9-37. CSA\_CTRL 寄存器**

7	6	5	4	3	2	1	0
CSA_SH_EN	CSA_BLK_SEL	CSA_BLK		CSA_DIV		CSA_GAIN	
R/W-0b	R/W-0b	R/W-000b		R/W-0b		R/W-01b	

**表 9-29. CSA\_CTRL 寄存器字段说明**

位	字段	类型	复位	说明
7	CSA_SH_EN	R/W	0b	电流分流放大器采样保持。 0b = 禁用。 1b = 启用。
6	CSA_BLK_SEL	R/W	0b	电流分流放大器消隐触发源。 0b = 半桥 1 1b = 半桥 2
5-3	CSA_BLK	R/W	000b	电流分流放大器消隐时间 $t_{DRV}$ 的百分比。 000b = 0% , 禁用 001b = 25% 010b = 37.5% 011b = 50% 100b = 62.5% 101b = 75% 110b = 87.5% 111b = 100%

2	CSA_DIV	R/W	0b	电流分流放大器基准电压分压器。 0b = AREF / 2 1b = AREF / 8
1-0	CSA_GAIN	R/W	01b	电流分流放大器增益设置。 00b = 10V/V 01b = 20V/V 10b = 40V/V 11b = 80V/V

**9.6.2.11 EXT\_CTRL 寄存器 (地址 = Eh) [复位 = 10h]**

EXT\_CTRL 如图 9-38 所示, 并在表 9-30 中进行了说明。

返回汇总表。

用于电流和时间参数扩展的控制寄存器。

图 9-38. EXT\_CTRL 寄存器

7	6	5	4	3	2	1	0
RSVD		BLK_ALL_EN	VGS_TDRV_EXT	IDRVP_HS_EXT	IDRVN_HS_EXT	IDRVP_LS_EXT	IDRVN_LS_EXT
R-00b		R/W-0b	R/W-1b	R/W-0b	R/W-0b	R/W-0b	R/W-0b

表 9-30. EXT\_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7-6	RSVD	R	00b	保留
5	BLK_ALL_EN	R/W	0b	所有的栅极驱动发生变化时均会发生 BLANK。 0b: 禁止。 1b: 使能。
4	VGS_TDRV_EXT	R/W	1b	tDRV 时间扩展, 需要和 VGS_TDRV 配合使用。
3	IDRVP_HS_EXT	R/W	0b	高侧峰值供电上拉电流扩展, 需要和 IDRVP_HS 配合使用。
2	IDRVN_HS_EXT	R/W	0b	高侧峰值供电下拉电流扩展, 需要和 IDRVN_HS 配合使用。
1	IDRVP_LS_EXT	R/W	0b	低侧峰值供电上拉电流扩展, 需要和 IDRVP_LS 配合使用。
0	IDRVN_LS_EXT	R/W	0b	低侧峰值供电下拉电流扩展, 需要和 IDRVN_LS 配合使用。

**9.6.2.12 SSC\_SP\_CTRL 寄存器 (地址 = Fh) [复位 = 20h]**

SSC\_SP\_CTRL 如图 9-39 所示, 并在表 9-31 中进行了说明。

返回汇总表。

用于运放输入端电流信号检测的控制寄存器。

图 9-39. SSC\_SP\_CTRL 寄存器

7	6	5	4	3	2	1	0
SP_MODE		SP_DG		SP_LVL		SP_OCP	RSVD
R-00b		R/W-10b		R/W-00b		R/W-0b	R/W-0b

表 9-31. SSC\_SP\_CTRL 寄存器字段说明

位	字段	类型	复位	说明
7-6	SP_MODE	R/W	00b	SP 过流监控模式。 00b = 锁存故障。

				01b = 逐周期。 10b = 仅警告报告。 11b = 禁用。
5-4	SP_DG	R/W	10b	SP 过流监控抗尖峰脉冲时间。 00b = 1μs 01b = 2μs 10b = 4μs 11b = 8μs
3-2	SP_LVL	R/W	0b	SP OCP 检测阈值。 00b: disable 01b: 0.2V 10b: 0.4V 11b: 0.8V
1	SP_OCP	R	0b	SP OCP fault 指示。
0	RSVD	R	0b	保留

**7.6.2.13 OFFLINE\_GATE 寄存器 (地址 = 10h) [复位 = 10h]**

OFFLINE\_GATE 如图 9-40 所示，并在表 9-32 中进行了说明。

返回汇总表。

用于离线开路/短路负载诊断的控制寄存器。

**图 9-40. OFFLINE\_GATE 寄存器**

7	6	5	4	3	2	1	0
RSVD	SSC_AMP		FORCE_H1_EN	FORCE_L1_EN	FORCE_H2_EN	FORCE_L2_EN	
R-00b	R/W-01b		R/W-0b	R/W-0b	R/W-0b	R/W-0b	

**表 9-32. OFFLINE\_GATE 寄存器字段说明**

位	字段	类型	复位	说明
7-6	RSVD	R	00b	保留
5-4	SSC_AMP	R/W	01b	展频时钟的幅值。 00b: 3% 01b: 5% 1xb: 10%
3	FORCE_H1_EN	R/W	0b	只有在 OLSC_EN=1 时，配置 HS1 栅极驱动开启；只有当 FORCE_H1_EN 和 FORCE_L1_EN 不全为 1 且 FORCE_H2_EN 和 FORCE_L2_EN 不全为 1 时生效。
2	FORCE_L1_EN	R/W	0b	只有在 OLSC_EN=1 时，配置 LS1 栅极驱动开启；只有当 FORCE_H1_EN 和 FORCE_L1_EN 不全为 1 且 FORCE_H2_EN 和 FORCE_L2_EN 不全为 1 时生效。
1	FORCE_H2_EN	R/W	0b	只有在 OLSC_EN=1 时，配置 HS2 栅极驱动开启；只有当 FORCE_H1_EN 和 FORCE_L1_EN 不全为 1 且 FORCE_H2_EN 和 FORCE_L2_EN 不全为 1 时生效。
0	FORCE_L2_EN	R/W	0b	只有在 OLSC_EN=1 时，配置 HS2 栅极驱动开启；只有当 FORCE_H1_EN 和 FORCE_L1_EN 不全为 1 且 FORCE_H2_EN 和 FORCE_L2_EN 不全为 1 时生效。

## 10. 应用信息

CA-DV8706xF-Q1 是一款高度可配置的 H 桥 MOSFET 栅极驱动器，可用于驱动各种不同的输出负载。以下设计示例将重点说明如何针对不同的应用用例来使用和配置该器件。

### 10.1. 典型应用

CA-DV8706xF-Q1 的典型应用是控制外部 MOSFET H 桥以实现双向有刷直流电机控制。下面的图 10-1 显示了一个概要原理图示例。

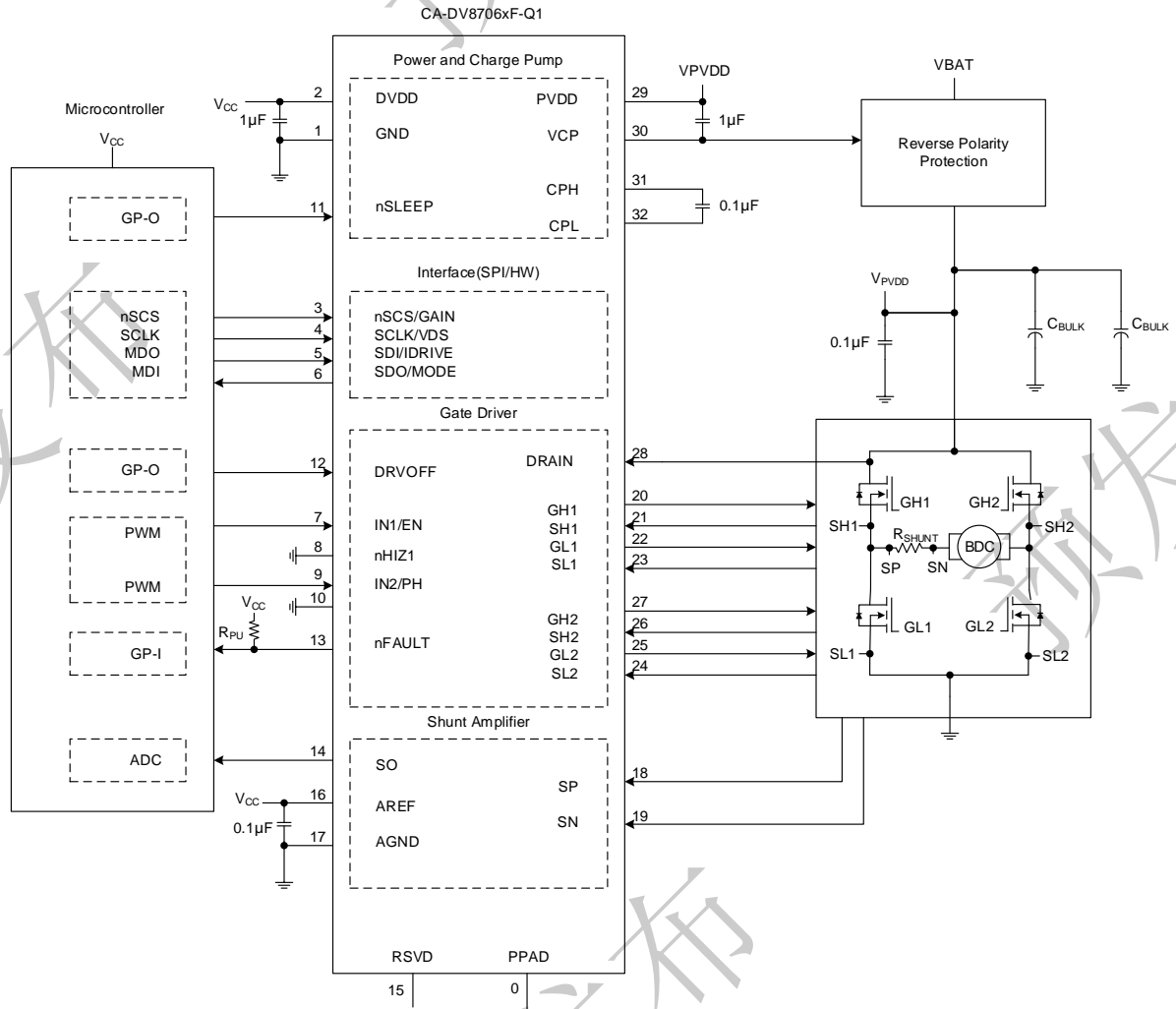


图 10-1. CA-DV8706xF-Q1 典型应用

## 11. 布局建议

使用推荐容值为  $0.1 \mu\text{F}$  的低 ESR 陶瓷旁路电容器将 PVDD 引脚旁路至 GND 引脚。将该电容器放置在尽可能靠近 PVDD 引脚的位置，并通过较宽的迹线或接地平面连接到 GND 引脚。此外，使用额定电压为 VM 的大容量电容器将 PVDD 引脚旁路掉。该元件可以是电解电容器。其容值必须至少为  $10 \mu\text{F}$ 。如果该电容与外部功率 MOSFET 的大容量电容共享，也是可接受的。

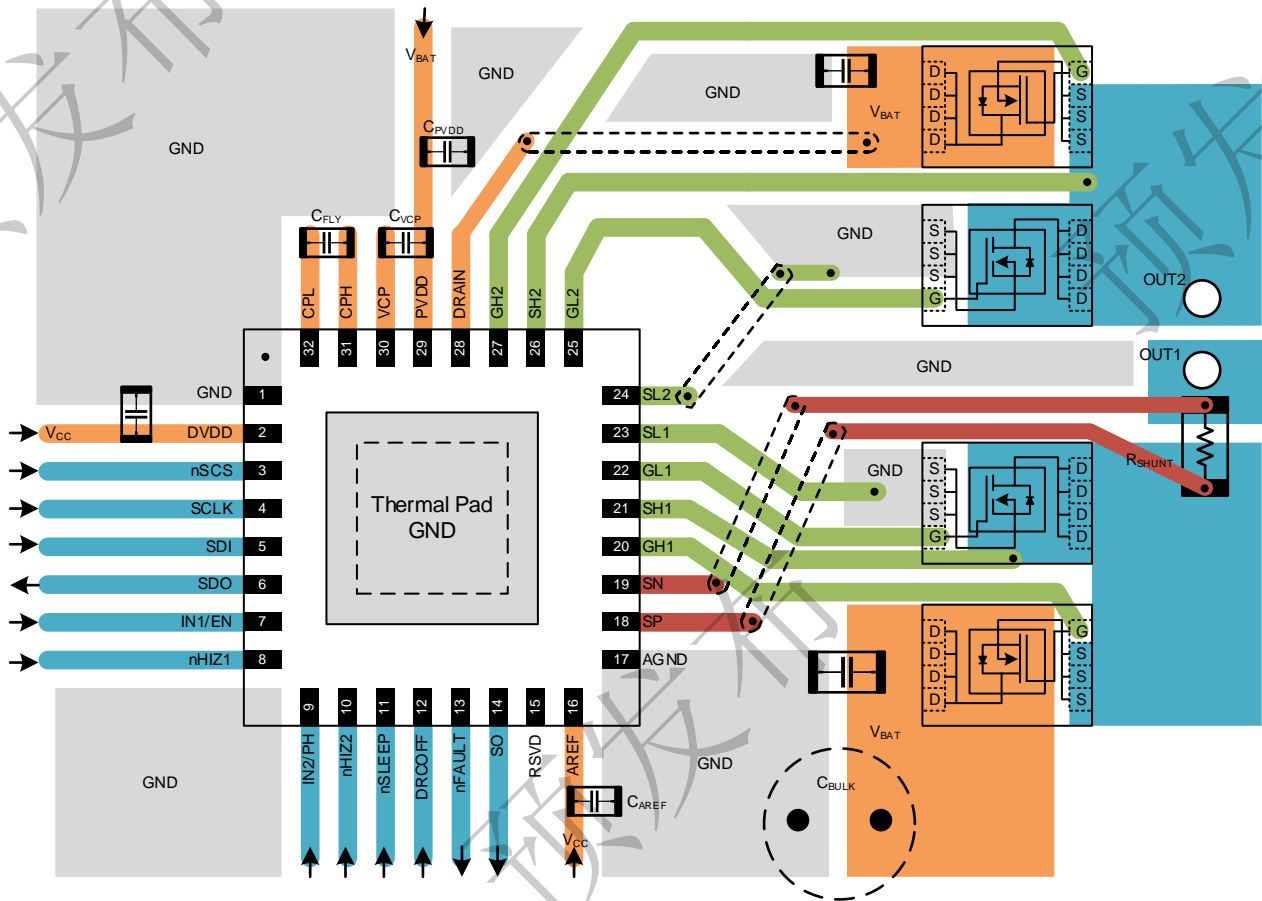
需要额外的大容量电容来旁路掉外部 MOSFET 上的大电流路径。放置此大容量电容时应做到尽可能缩短通过外部 MOSFET 的大电流路径的长度。连接金属迹线应尽可能宽，并具有许多连接 PCB 层的过孔。这些做法最大限度地减少了电感并允许大容量电容器提供大电流。

在 CPL 和 CPH 引脚之间放置一个低 ESR 陶瓷电容器。该电容器的容值应为  $0.1\ \mu\text{F}$ ，额定电压为 PVDD，类型为 X5R 或 X7R。此外，在 VCP 和 PVDD 引脚之间放置一个低 ESR 陶瓷电容器。该电容器的容值应为  $1\ \mu\text{F}$ ，额定电压为 16V，类型为 X5R 或 X7R。

使用一个容值为  $1.0\ \mu\text{F}$ 、额定电压为 6.3V 且类型为 X5R 或 X7R 的低 ESR 陶瓷电容器将 DVDD 引脚旁路至 GND 引脚。将此电容器尽可能靠近引脚放置，并尽量缩短从电容器到 GND 引脚的路径。如果另一个旁路电容器靠近用于外部低压电源的器件，并且电源上的噪声很小，则可以选择移除该元件。

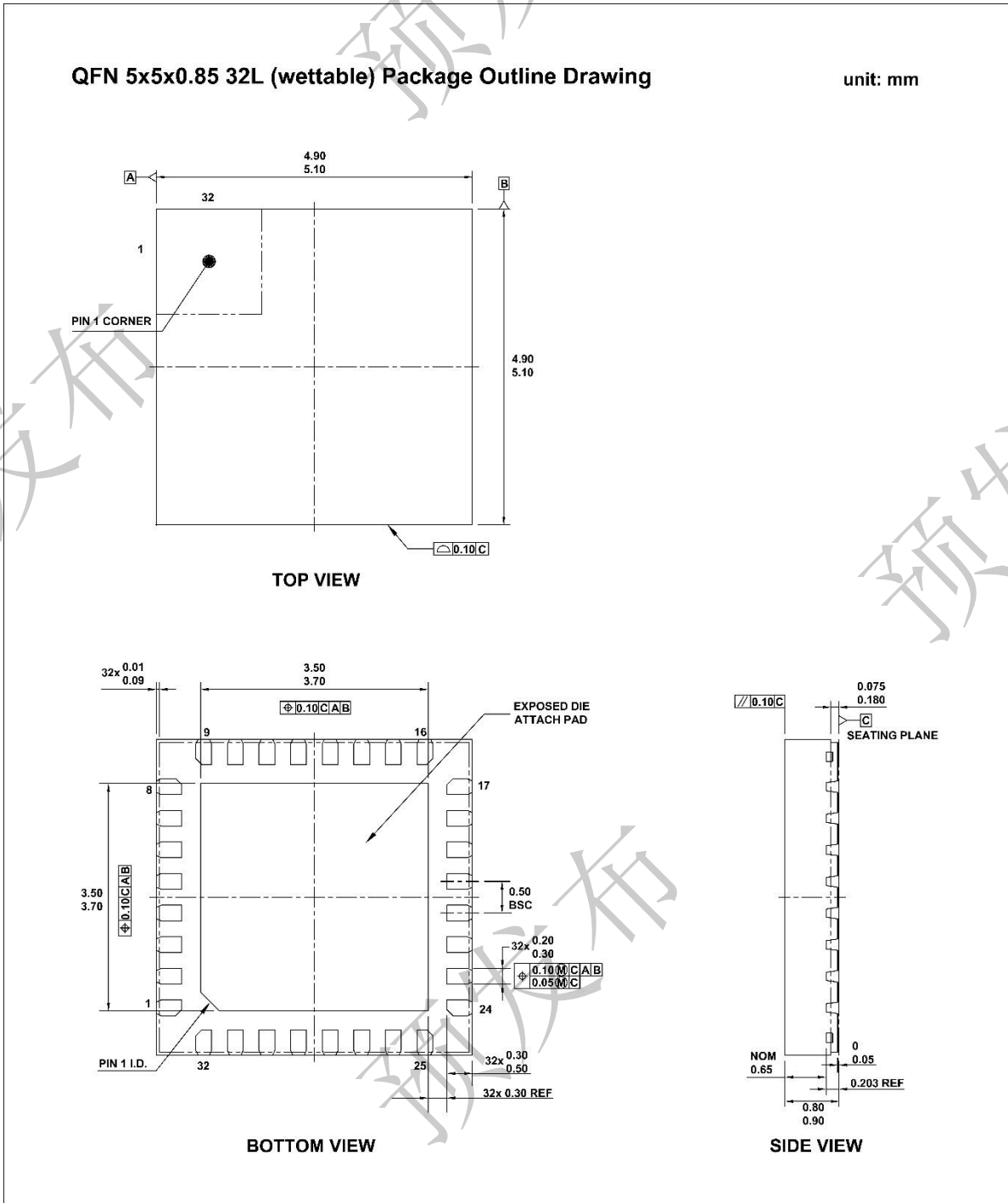
使用一个容值为  $0.1\ \mu\text{F}$ 、额定电压为 6.3V 且类型为 X5R 或 X7R 的低 ESR 陶瓷电容器将 AREF 引脚旁路至 GND 引脚。将此电容器尽可能靠近引脚放置，并尽量缩短从电容器到 GND 引脚的路径。如果另一个旁路电容器靠近用于外部低压电源的器件，并且电源上的噪声很小，则可以选择移除该元件。

DRAIN 引脚可以直接短接到 PVDD 引脚。但是，如果器件和外部 MOSFET 之间的距离很大，请使用专用迹线连接到高侧外部 MOSFET 的漏极公共点。不要将 SLx 引脚直接连接到接地平面，而是应该使用专用迹线将这些引脚连接到低侧外部 MOSFET 的源极。遵循这些建议有助于更准确地感测外部 MOSFET 的 VDS 以实现过流检测。最大限度地缩短高侧和低侧栅极驱动器的回路长度。高侧环路是从器件的 GHx 引脚到高侧功率 MOSFET 栅极，然后沿着高侧 MOSFET 源极返回到 SHx 引脚。低侧环路是从器件的 GLx 引脚到低侧功率 MOSFET 栅极，然后沿着低侧 MOSFET 源极返回到 SLx 引脚。


**图 11-1. CA-DV8706xF-Q1 布局示例**

12. 封装信息

12.1. 32 引脚 QFN32 封装尺寸



注:

1. 所有尺寸以毫米为单位，角度以度为单位。



13. 焊接信息

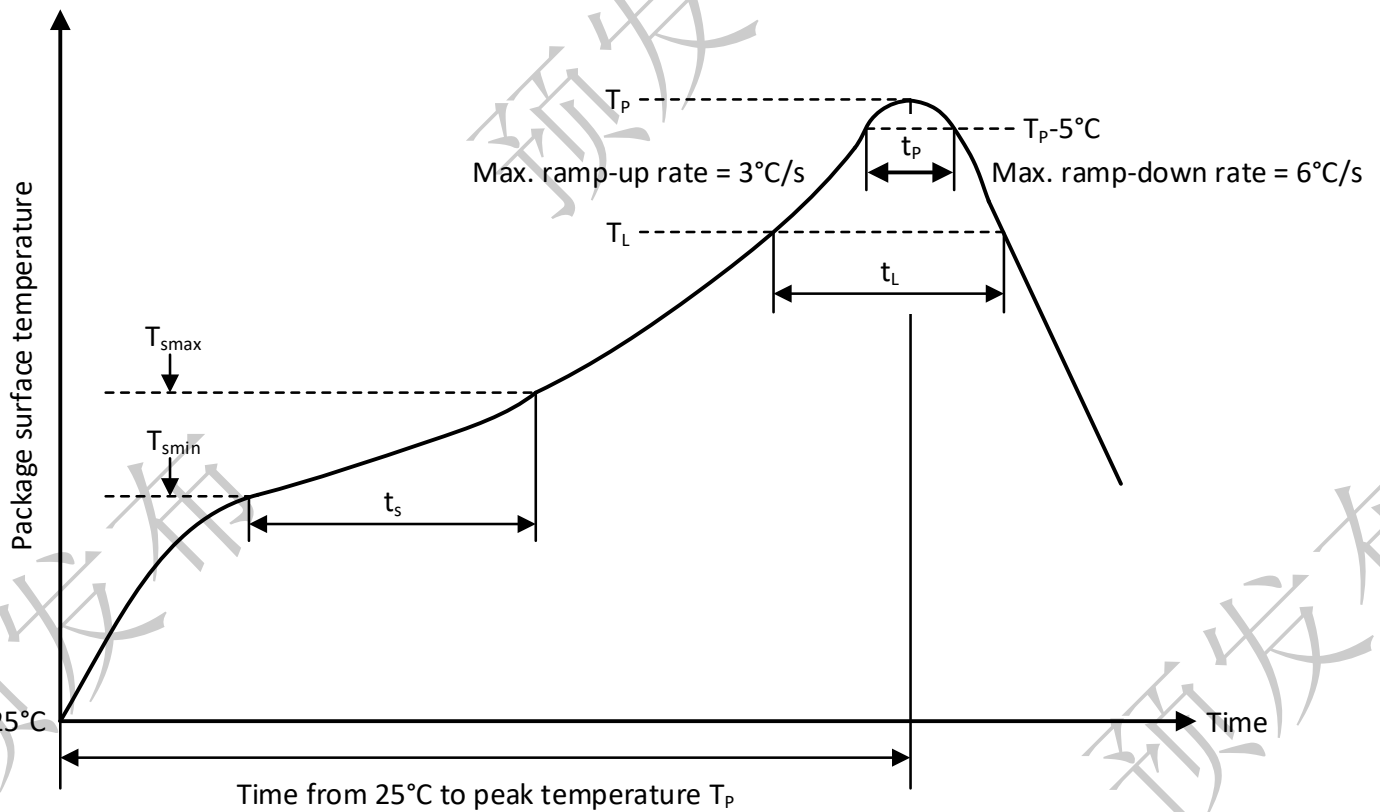


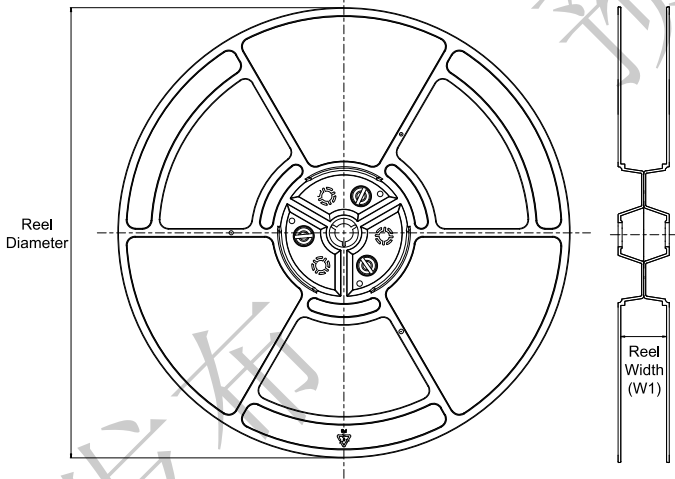
图 13-1. 焊接温度(回流)

表 13-1. 焊接温度参数

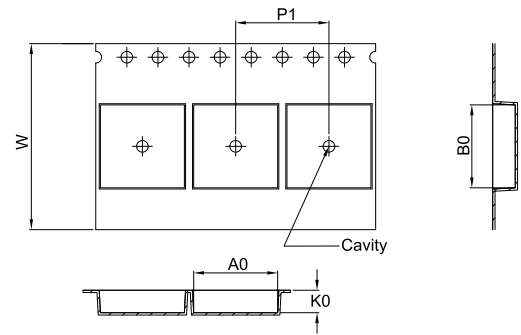
简要说明	无铅焊接
温升速率( $T_L=217^\circ\text{C}$ 至峰值 $T_p$ )	最大 $3^\circ\text{C/s}$
$T_{smin}=150^\circ\text{C}$ 到 $T_{smax}=200^\circ\text{C}$ 预热时间 $t_s$	60~120 秒
温度保持 $217^\circ\text{C}$ 以上时间 $t_L$	60~150 秒
峰值温度 $T_p$	$260^\circ\text{C}$
小于峰值温度 $5^\circ\text{C}$ 以内时间 $t_p$	最长 30 秒
降温速率(峰值 $T_p$ 至 $T_L=217^\circ\text{C}$ )	最大 $6^\circ\text{C/s}$
常温 $25^\circ\text{C}$ 到峰值温度 $T_p$ 时间	最长 8 分钟

14. 卷带信息

REEL DIMENSIONS

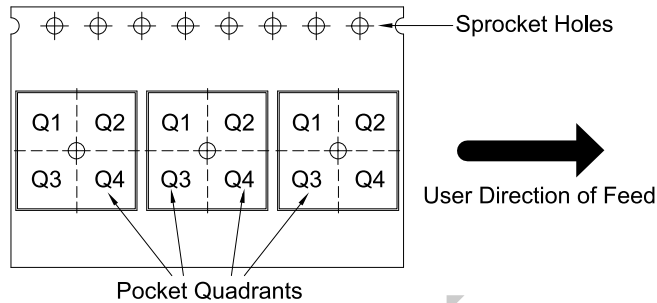


TAPE DIMENSIONS



A0	Dimension designed to accommodate the component width
B0	Dimension designed to accommodate the component length
K0	Dimension designed to accommodate the component thickness
W	Overall width of the carrier tape
P1	Pitch between successive cavity centers

QUADRANT ASSIGNMENTS FOR PIN 1 ORIENTATION IN TAPE



\*所有尺寸为标称值。

Device	Package Type	Package Drawing	Pins	SPQ	Reel Diameter (mm)	Reel Width W1 (mm)	A0 (mm)	B0 (mm)	K0 (mm)	P1 (mm)	W (mm)	Pin1 Quadrant

## 15. 重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

Chipanalog 产品全部经过出厂测试。针对具体的实际应用，客户需负责自行评估，并确定是否适用。Chipanalog 对客户使用所述资源的授权仅限于开发所涉及 Chipanalog 产品的相关应用。除此之外不得复制或展示所述资源，如因使用所述资源而产生任何索赔、赔偿、成本、损失及债务等，Chipanalog 对此概不负责。

### 商标信息

Chipanalog Inc.®、Chipanalog®为 Chipanalog 的注册商标。



<http://www.chipanalog.com>