

CA-IS2092A 带电源的隔离 RS-485 收发器

测试板使用说明

描述

此份文件描述了 CA-IS2092A 测试板的相关使用说明，其中包括芯片简介、原理图、PCB 布线图、物料清单以及部分测试数据等。CA-IS2092A 评估板可以用来评估该芯片内置的隔离电源以及 RS-485 收发器的参数性能等。

芯片简介

CA-IS2092A 是集成隔离电源的隔离式 RS-485 收发器，具有高电磁抗扰度和低辐射特性，其工作于半双工模式。

CA-IS2092A 器件具有高绝缘能力，有助于防止数据总线或其他电路上的噪声和浪涌进入本地接地端，进而干扰或损坏敏感电路。高 CMTI 能力可以保证数字信号的正确传输。该器件采用 LGA16 小型化封装，能够显著节省 PCB 布板空间，支持绝缘耐压高达 2.5 kV_{RMS}。

CA-IS2092A 测试版适用如下表所示的产品型号。

表 1 器件型号

型号	通讯模式	通讯速率 (Mbps)	隔离电压等级 (kV _{RMS})	逻辑电源是否可以独立供电	封装
CA-IS2092A	半双工	0.5	2.5	是	LGA16

注：

注：

1. VDDP 和 VDDL 须分别达到 $ULVO_{VDDP+}$ 和 $ULVO_{VDDL+}$ 以上，VISO_{OUT} 才会建立输出电压；
2. VISO_{IN} 和 VISO_{OUT} 须接在一起，VISO_{OUT} 才会建立正常的输出电压；
3. 隔离电源输出电压通过 SEL 引脚配置，VISO_{OUT}, VISO_{IN} 输出电压选择：SEL 接 VISO_{IN} 时，VISO_{OUT} = VISO_{IN} = 5.0 V；SEL 接 GND2 或悬空时，VISO_{OUT} = VISO_{IN} = 3.3 V。为了提高系统的抗干扰能力，SEL 引脚不建议悬空。

3D 仿真图

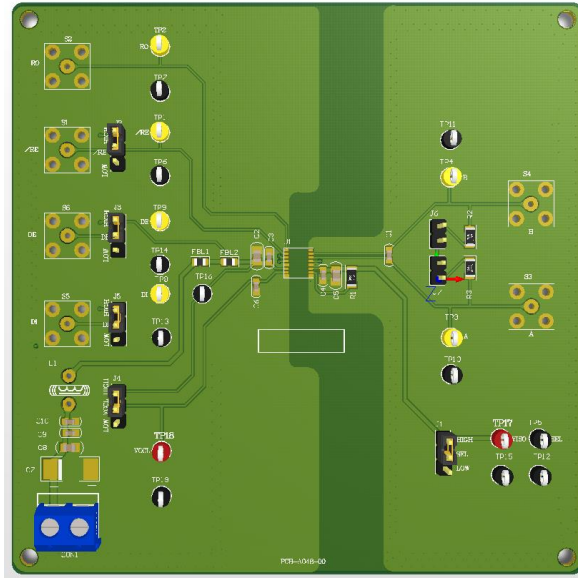


图 1 CA-IS2092A PCB 的 3D 仿真图

原理图

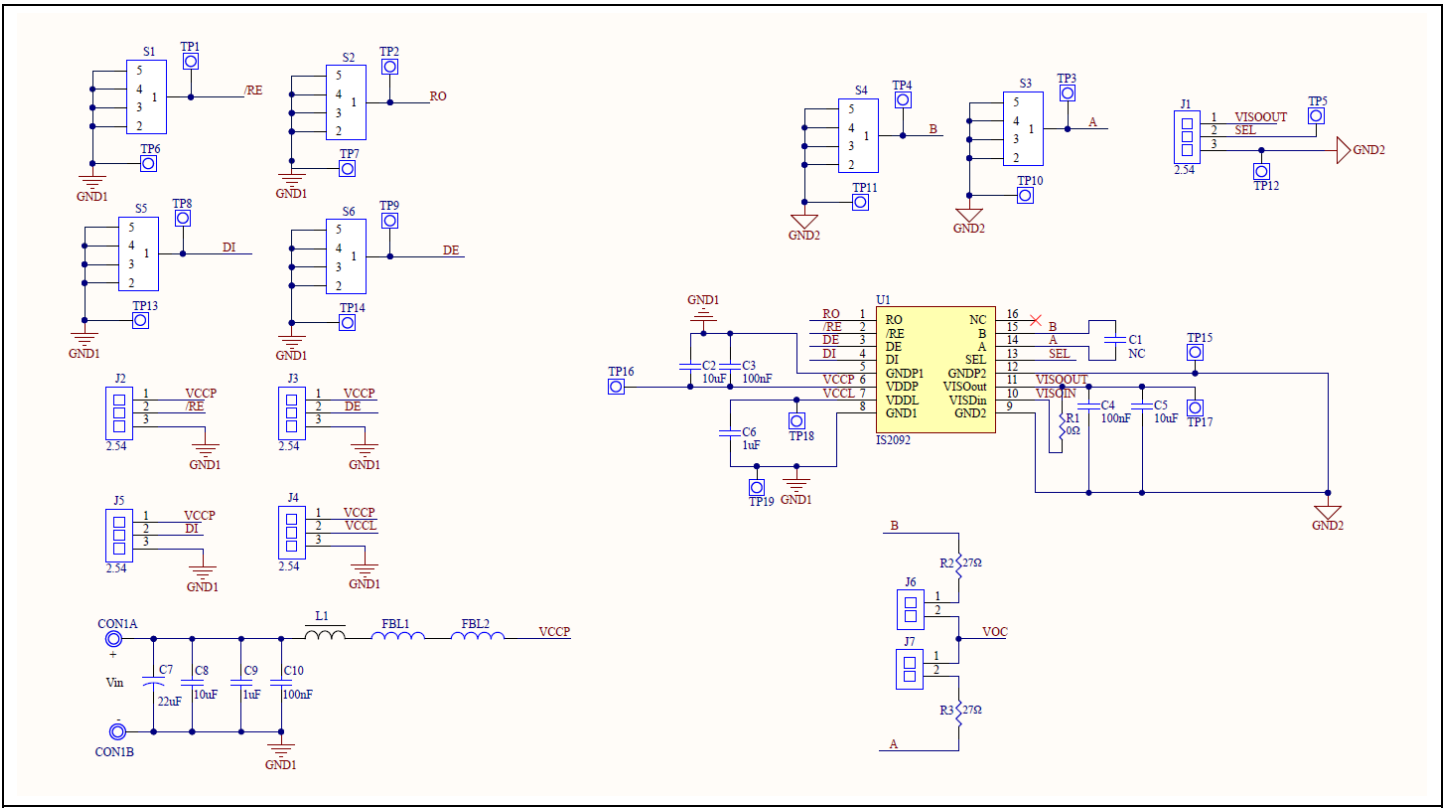


图 2 原理图

布线图

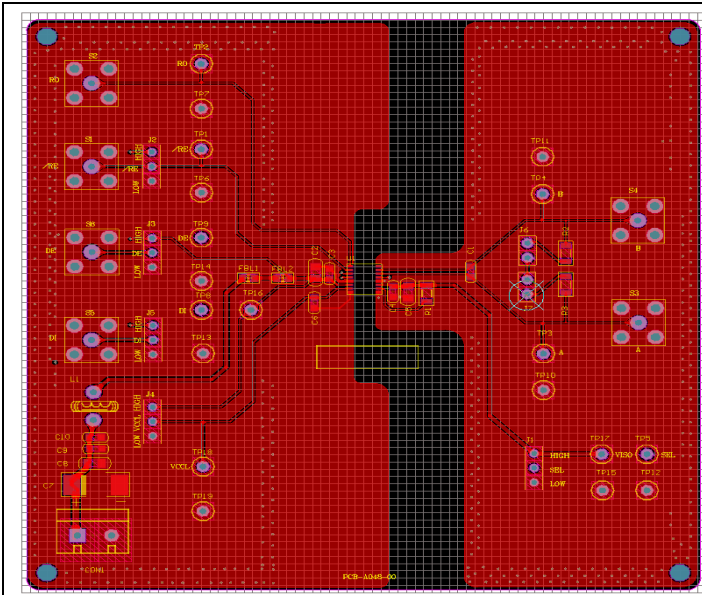


图 3 Top

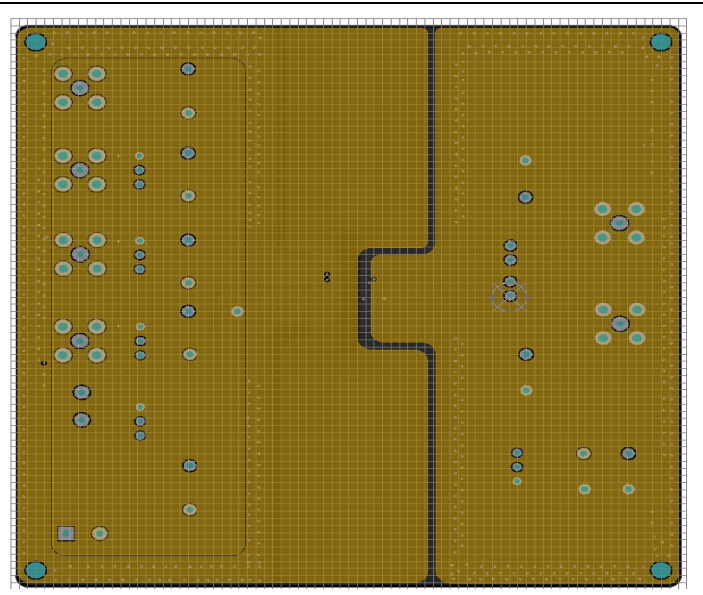


图 4 Inner Layer1

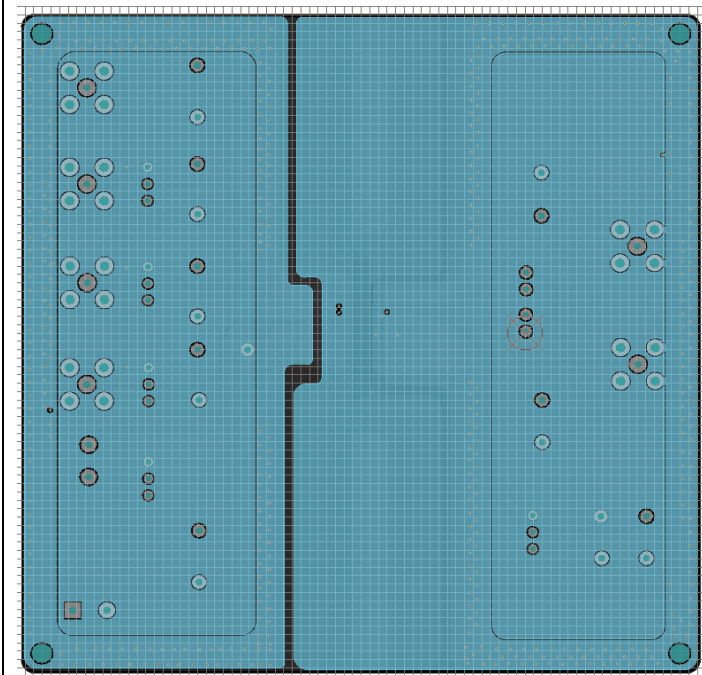


图 5 Inner Layer2

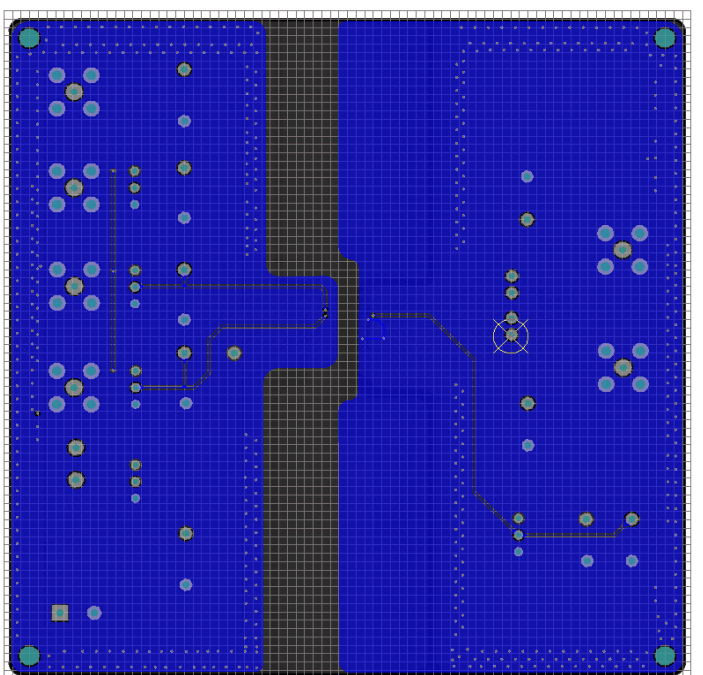


图 6 Bottom

物料清单

Item	Ref Des	Qty	Description	Package	MFR	PN.
1	CON1	1	CONN, 5.08mm, Rising Cage Clamp	-	Würth Elektronik	691236510002
2	FBL1, FBL2	2	Bead 600Ohm	0805	Linekey	FBG2912-601Y
3	C7	1	Tantalum cap, 22μF	7343	AVX	TAJD226K025RN J
4	C2, C5, C8	3	MLCC, 10μF/10V, X7R	0805	-	Standard
5	C3, C4, C10	3	MLCC, 100nF/10V, X7R	0603	-	Standard
6	C6, C9	2	MLCC, 1μF /10V, X7R	0603	-	Standard
7	C1	1	NC	0603	-	Standard
8	R1,	1	Resistor, 0Ω	1206	-	Standard
9	R2, R3	2	Resistor, 27Ω, 1%	1206	-	Standard
10	S1, S2, S3, S4, S5, S6	6	SMA Connect, 2.54mm	-	-	Standard
11	L1	1	24uH, 0.7mm, 4.5mm*12mm	-	Würth Elektronik	7447043
12	U1	1	CA-IS2092A	LGA16	Chipanalog	
13	TP16, TP17, TP18	3	Test Point, Red, Through Hole, 1mm	-	Keystone	5000
14	TP1, TP2, TP3, TP4, TP5, TP8, TP9	7	Test Point, Yellow, Through Hole, 1mm	-	Keystone	5009
15	TP6, TP7, TP10, TP11, TP12, TP13, TP14, TP15, TP16	9	Test Point, Black, Through Hole, 1mm	-	Keystone	5001
16	J1, J2, J3, J4, J5	5	Header, 3 pin, 2.54mm	-	-	Standard
17	J6, J7	2	Header, 3 pin, 2.54mm	-	-	Standard
18	PCB	1	Four layers PCB, FR-4, PCB-A048-00, 1.0mm thickness, 100mm*100mm, The distance between Inner Layer1 and Inner Layer2 should be greater than 0.4mm.	-	-	-

测试仪器

直流电源、500MHz 带宽示波器安捷伦 DSOX3054T、6.5 位多功能万用表安捷伦 34465A、高频信号发生器等。

硬件连接

1. 将直流电压源连接到 CON1;
2. 通过跳线帽 J4 把 VDDL 和 VDDP 连接到一起;
2. 信号发生器输出一定频率和幅值的信号，连接到芯片通道的信号输入端 DI 引脚;
3. 通过示波器测量各个通道输出端，用示波器观察各个测试点的波形;
4. 芯片 DE 为驱动器使能控制引脚，高电平有效; /RE 为接收器使能控制，低电平有效。通过跳线帽 J3 把 DE 接高电平，通过 J2 把 /RE 接低电平;
5. CA-IS2092A 芯片的第 7 引脚是逻辑电源 VDDL，可外接独立电源，也可以接 VDDP，与芯片的引脚 1 共用一路电源。本测试板在 PCB 上已将 7 脚与 1 脚连接，一路电源供电即可;
6. 芯片的 DI 可以用信号发生器输入高电平或者低电平的信号，也可以通过跳线帽 J5，使 DI 接 GND1 或者 VDDP;
7. 隔离电源输出电压通过 SEL 引脚配置，通过跳线帽 J1 把 SEL 接 GND2 或者 VISO_{OUT}。

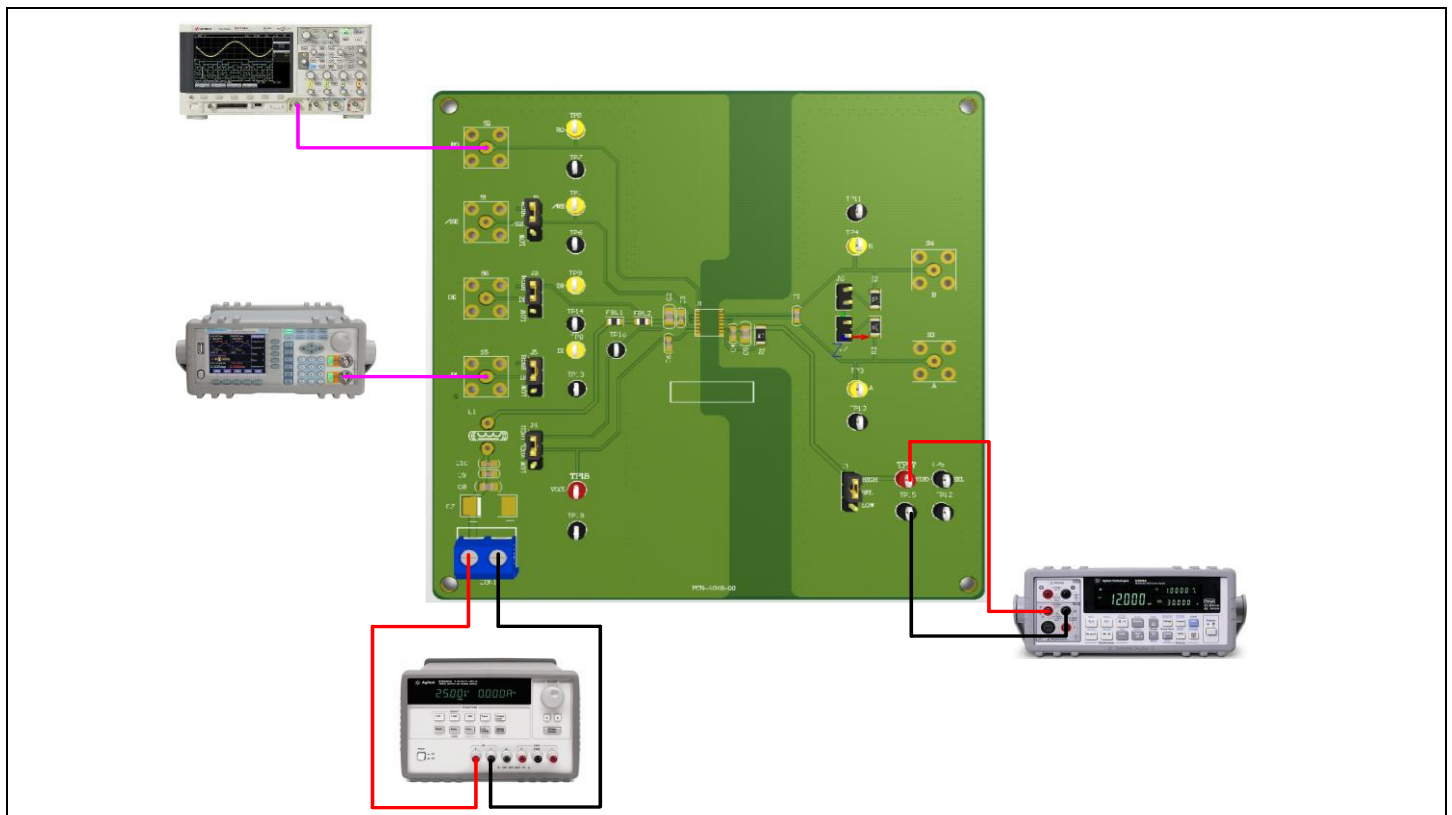


图 7 硬件连接图

测试示例

下面是以 CA-IS2092A 的一些测试典型波形，包括输出纹波、不同输入输出电压下的效率、RS485 信号传递等。

<p>图 8 VDDP = 5V, VISO_{OUT} = 5V, A 和 B 之间 R_L = NC IISO_{OUT} = 80mA VISO_{OUT} 纹波电压峰峰值: 60mV</p>	<p>图 9 VISO_{OUT} 最大负载可用电流随器件环境温度的变化 A 和 B 之间 R_L = NC, CA-IS2092A 无发送和接收数据</p>
<p>图 10 RS485 隔离信号传递 VDDP=3.3V, VISO_{OUT}=3.3V, f_{DI}: 250KHz RL=54Ω</p>	<p>图 11 RS485 隔离信号传递 VDDP=3.3V, VISO_{OUT}=3.3V, f_{DI}: 250KHz RL=120Ω</p>
<p>CH1(绿色):V_{DI}输入 100KHz ; CH2(蓝色): V_{OD}=V_A - V_B ; CH3(粉色): V_{RO}</p>	

PCB 布线建议

1. CA-IS2092A器件内置开关电源，为总线侧侧和外部模块提供稳压电源。输入侧VDDP和输出侧VISO_{OUT}的旁路电容和供电电容的位置放尽可能摆放在靠近芯片的管脚，距离应控制在2mm以内，如下图12。当需要在供电电源线和地线中放置过孔，应放置在电容相对于芯片管脚的外侧，而非放置在电容和芯片之间，以减少过孔寄生电感的影响，如下图14。

<p>图12 推荐</p>	<p>图13 不推荐</p>	<p>图14 推荐</p>	<p>图15 不推荐</p>

2. CA-IS2092A器件集成隔离开关电源，存在一定的传导噪声和辐射噪声。适当的PCB拼接电容，对改善传导干扰和辐射干扰有一定的作用。在PCB布线时，可以适当增加逻辑侧GND1和总线侧GND2之间的拼接电容以及VDDP/VISO_{OUT}对GND1/GND2的拼接电容，如下图16和图17。此外，在PCB边缘处放置一系列间隔距离不大于3mm至4mm的地过孔，形成边缘防护，如下图18所示。

<p>图16 逻辑侧 GND1和总线侧 GND2的拼接电容</p>	<p>图17 VDDP/VISO_{OUT}对GND1/GND2的拼接电容</p>	<p>图18 VDDP/VISO_{OUT}层四周用地平面包围，地平面外侧放置一系列间距小于4mm的过孔</p>

Revision History

版本	日期	状态描述
Ver1.0	Mar.2024	初始版本
Ver1.1	May.2024	<ol style="list-style-type: none">1. 更正芯片简介的隔离电压等级2. 更新测试示例图3. 硬件连接描述4. 更增 PCB 布线建议的语句描述

重要声明

上述资料仅供参考使用，用于协助 Chipanalog 客户进行设计与研发。Chipanalog 有权在不事先通知的情况下，保留因技术革新而改变上述资料的权利。

<http://www.chipanalog.com>